A34L716
データシート

低消費電力Cortex®-M4F FPU搭載32ビットマイクロコントローラ、256 KB コードフラッシュ、32 KB データフラッシュ、24 KB SRAM

DS Rev. 1.04

特徴

コア

- Arm® 32ビット Cortex®-M4 CPU (FPU搭載)
- 最大 32 MHz

メモリ

- ECC付き256 KBのコードフラッシュメモリ
- ECC付き32 KBのコードフラッシュメモリ
- 24 KBのSRAM

リセットおよび電源管理

- パワーオン・パワーダウンリセット (POR、LVR、LVI)
- 低電圧モード: SLEEP、DEEP-SLEEP

クロック管理

- 32 MHz速度の高速内部 (HSI) オシレータ
  - ±0.5% @-40°C ～ +85°C (HSICMUオン)
  - ±3.0% @-10°C ～ +70°C (HSICMUオフ)
  - ±5.0% @-20°C ～ +85°C (HSICMUオフ)
- 40 kHz 速度の低速内部オシレータ (LSI)
  - ±30% @-40°C ～ +85°C
- 外部メインオシレータ (HSE)
  - 1 MHz ～ 16 MHz
- 外部サブオシレータ (LSE)
  - 32.768 kHz
- 位相同期ループ (PLL) 周波数ジェネレータ
  - 最大 48 MHz
- クロックモニタリングシステム
  - MCLK、HSEおよびLSEクロック監視

割り込み管理

- 86割り込みソース付きのネスト型ベクタ割り込みコントローラ (NVIC)

GPIO (汎用I/O)

- 全ての外部割り込みベクタにマッピング可能
- 兼用機能ピンはGPIOを含む最大 7種類の機能選択が可能

DMAコントローラ

- 7チャネルのDMA
- 8・16・32ビットのデータ転送
- 18種類のペリフェラルに対応

12ビットADC

- 独立した2つのADCブロック
- 24チャネルのアナログ入力
- 調整可能なサンプル時間およびホールド時間
- 複数の動作モード:
  - シングル変換
  - シーケンス変換
  - バースト変換
  - マルチ変換

12ビットDAC

- 独立した2つのDACブロック
- 2チャネルのアナログ出力

OPAMP (オペアンプ)

- オペアンプ2個搭載
- ADCとの連携動作に対応

LCDドライバ

- 最大 4×44または8×40セグメント
- 8段階のコントラスト調整
- 抵抗・コンデンサバイアス

内蔵低ドロップアウト（LDO）レギュレータ

16ビットタイマ

- 8チャネル
  - 8チャネルのキャプチャ入力
  - 8チャネルの出力
- タイマ動作モード:
  - 周期（Periodic）タイマモード
  - ワンショットモード
  - PWMモード
  - キャプチャモード
- 10ビットのプリスケーラ

ウォッチドッグタイマ（WDT）

- 32ビットのダウンカウントタイマ
- リセットおよび周期割り込み
- 異なる8つのプリスケーラ

フリーランタイマ（FRT）

- 32ビットのフリーランタイマ

リアルタイムクロックおよびカレンダ

128ビットユニークID

シリアルインタフェース

- USART × 2
- UART × 1
  - 非同期シリアル通信ポート
- LPUART × 2
- SPI × 2
  - 2つの同期シリアル通信ポート
- I2C × 2
  - 2つの通信ポート
- USB 2.0フルスピード
  - 水晶不要でクロックリカバリシステム内蔵
  - エンドポイント0に加えて、1～5個のエンドポイントに対応

CRC計算ユニット

- CRC計算ユニット
- CRC動作モード:
  - CRC32 (0x04C1_1DB7)
  - CRC16-USB (0x8005)
  - CRC16-CCITT (0x1021)
  - CRC-8-CCITT (0x07)
- 入出力データのバイト反転をサポート
- DMA対応可能

開発サポート

- シリアルワイヤデバッグ（SWD）、JTAGインタフェース

パッケージ

- 100-LQFP-1414 (0.5 mmピッチ)
- 64-LQFP-1010 (0.5 mmピッチ)
- 56-QFN-0707 (0.4 mmピッチ)

動作電圧

- 1.8 V ～ 3.6 V

動作温度

- 商用グレード（-40°C ～ + 85°C）

製品選択表

表1. デバイスの概要

デバイス名	フラッシュ	SRAM	SPI	UART	I2C	USART	LPUART	USB	ADC (ch)	DAC	OPAMP	I/O ポート	パッケージ
A34L716VLN	256 KB	24 KB	2	1	2	2	2	1	2 (24)	2	2	86	100-LQFP-1414
A34L716RLN*	256 KB	24 KB	2	1	2	2	2	1	2 (17)	2	2	53	64-LQFP-1010
A34L716JYN*	256 KB	24 KB	2	1	2	1	1	1	2 (17)	2	2	48	56-QFN-0707

「*」印の付いたデバイスの詳細情報については、ABOV営業窓口までお問い合わせください。

目次

特徴 1
製品選択表 3
1. 紹介 9
1.1 一般情報 9
1.2 製品カテゴリの定義 9
1.3 デバイスの概要 10
1.4 ブロック図 19
1.5 機能の概要 20
1.5.1 Cortex-M4Fコア 20
1.5.2 浮動小数点演算ユニット（FPU） 20
1.5.3 内蔵SRAM 20
1.5.4 ブート設定 20
1.5.5 電源 21
1.5.6 動作モード 22
1.5.6.1 動作モードの遷移 22
1.5.6.2 RUNモード 22
1.5.6.3 SLEEPモード 22
1.5.6.4 DEEP-SLEEP（STOP1、STOP2）モード 22
1.5.6.5 リセットモード 22
1.5.7 クロックおよびスタートアップ 23
1.5.7.1 HCLKクロック 23
1.5.7.2 PCLKクロック 23
1.5.7.3 クロック構成の手順 23
1.5.8 割り込みおよびイベント 24
1.5.8.1 ネスト型ベクタ割り込みコントローラ（NVIC） 24
1.5.8.2 拡張割り込み（EXTI） 24
1.5.9 GPIO（汎用I/O） 25
1.5.9.1 PCUの概要 25
1.5.9.2 GPIOの概要 25
1.5.10 内蔵フラッシュメモリ 25
1.5.11 HSICMU（高速内部OSCクロック管理ユニット） 26
1.5.12 DMAC（ダイレクトメモリアクセスコントローラ） 26
1.5.13 タイマ 27
1.5.13.1 WDT（ウォッチドッグタイマ） 27
1.5.13.2 16ビットタイマ 27
1.5.13.3 FRT（フリーランタイマ） 27
1.5.13.4 SysTickタイマ 27
1.5.14 UART（調歩同期式シリアル送受信機） 28
1.5.15 SPI（シリアルペリフェラルインタフェース） 28
1.5.16 I2C（クロック同期式シリアル）インタフェース 29
1.5.17 USART（汎用同期・調歩同期式送受信機） 30
1.5.18 LPUART（低消費電力調歩同期式送受信機） 31
1.5.19 USBフルスピードデバイスインタフェース 32
1.5.20 LCDドライバ・コントローラ 32
1.5.21 ADC（アナログ-デジタルコンバータ） 33
1.5.22 VREFBUF（電圧リファレンスバッファ） 33
1.5.23 OPAMP（オペアンプ） 33

1.5.24 DAC（デジタル-アナログコンバータ）....34
1.5.25 CRC（巡回冗長検査計算）モジュール....34
1.5.26 RTCC（リアルタイムクロックおよびカレンダ）....35
1.6 開発サポート....36
1.6.1 ツールチェーンサポート....36
1.6.2 デバッグインタフェース....36
1.6.2.1 シリアルワイヤ/JTAG デバッグポート（SWJ-DP）....36
1.6.2.2 SWD接続ガイド....37
1.6.3 トレース機能....37
1.6.3.1 組込みトレースマクロセル™（ETM）....37
2. ピン配置およびピンの説明....38
2.1 ピン配置....38
2.1.1 A34L716VLN (100-LQFP)....38
2.1.2 A34L716RLN (64-LQFP)....39
2.1.3 A34L716JYN (56-QFN)....40
2.2 ピンの説明....41
2.3 兼用機能ピン....51
3. 電気的特性....54
3.1 パラメータ条件....54
3.1.1 最小値および最大値....54
3.1.2 標準値（Typical Value）....54
3.1.3 標準特性曲線（Typical Curves）....54
3.1.4 ピン入力電圧....54
3.1.5 電源構成....55
3.1.6 消費電流測定....55
3.2 絶対最大定格....56
3.3 動作条件....57
3.3.1 一般動作条件....57
3.3.2 パワーオンリセット（POR）の特徴....57
3.3.3 パワーアップ・パワーダウン時の動作条件....58
3.3.4 内蔵リセットおよび電源制御ブロックの特性（LVR、LVI）....59
3.3.5 内蔵電圧リファレンス....60
3.3.6 電流特性....61
3.3.6.1 消費電流....61
3.3.6.2 I/Oシステムの電流消費....61
3.3.6.3 I/Oの静的消費電流....62
3.3.6.4 I/Oの動的消費電流....62
3.3.7 外部クロックソースの特性....63
3.3.7.1 水晶・セラミック発振子から生成される高速外部クロック....63
3.3.7.2 水晶発振子から生成される低速外部クロック....66
3.3.8 内部クロックソースの特性....68
3.3.8.1 高速内部（HSI32）RCオシレータ....68
3.3.8.2 低速内部（LSI）40 kHz RCオシレータ....68
3.3.9 PLLの特性....69
3.3.10 フラッシュメモリの特性....69
3.3.11 I/Oポートの特性....70
3.3.11.1 一般I/Oの特性....70
3.3.11.2 出力駆動電流....72
3.3.11.3 出力電圧レベル....72

3.3.12 アナログ-デジタルコンバータ（ADC）の特性 73
3.3.12.1 PCB設計の一般的なガイドライン 73
3.3.13 デジタル-アナログコンバータの特性 74
3.3.14 オペアンプ（OPAMP）の特性 76
3.3.15 通信インタフェースの特性 78
3.3.15.1 I2Cインタフェースの特性 78
3.3.15.2 SPIインタフェースの特性 79
3.3.15.3 USBインタフェースの特性 80
3.3.16 LCDドライバの特性 81
4. パッケージ情報 82
4.1 100-LQFPパッケージ情報 82
4.2 64-LQFPパッケージ情報 83
4.3 56-QFNパッケージ情報 84
5. 注文情報 85
変更履歴 86

表目次

表1. デバイスの概要 3
表2. A34L716シリーズのメモリ容量 9
表3. A34L716 シリーズの機能およびペリフェラル 10
表4. A34L716ペリフェラルの概要 18
表5. ブートモードピン目録 20
表6. 電源 21
表7. I2Cnの特徴（n = 0 ～ 1） 29
表8. USARTピンの割り当て: 外部ピン 30
表9. ピンの説明で使用される凡例および略語 41
表10. ピンの説明 42
表11. GPIOの兼用機能 51
表12. 電圧特性 56
表13. 電流特性 56
表14. 熱特性 56
表15. 一般動作条件 57
表16. POR電気的特性 57
表17. パワーアップ・パワーダウン時の動作条件 58
表18. 低電圧リセットの特性 59
表19. 低電圧インジケータの特性 59
表20. 内蔵電圧リファレンス 60
表21. 動作モードによる消費電流 61
表22. HSEオシレータの特性(1) 63
表23. LSEオシレータの特性（f_{LSE} = 32.768 kHz)(1) 66
表24. HSI32 オシレータの特性(1) 68
表25. LSIオシレータの特性 68
表26. PLLの特性(1) 69
表27. コードフラッシュメモリの特性 69
表28. データフラッシュメモリの特性 69
表29. I/Oの静的特性 70
表30. 出力電圧の特性 72
表31. ADCの電気的特性 73
表32. DACの電気的特性 74
表33. オペアンプ（OPAMP）の特性（通常モード） 76
表34. オペアンプ（OPAMP）の特性（低消費電力モード） 77
表35. I2Cの特性 78
表36. SPIの特性 79
表37. USBの特性 80
表38. LCDドライバの特性 81

図目次

図1. A34L716シリーズのブロック図 19
図2. SWDインタフェースの接続 37
図3. 100-LQFPのピン配置 38
図4. 64-LQFPのピン配置 39
図5. 56-QFNのピン配置 40
図6. ピンの入力電圧 54
図7. 電源の構成 55
図8. 消費電流測定 55
図9. VREFINT対温度 (-40°C ～ 85°C) 60
図10. 水晶・セラミックオシレータ 64
図11. 外部クロック 64
図12. XINにおけるクロックタイミング測定 64
図13. 8 MHz水晶を使用した標準的なアプリケーション 65
図14. 水晶オシレータ 66
図15. 32.768 kHz水晶を使用した標準的なアプリケーション 67
図16. LSEのPCB設計上の注意 67
図17. I/O入力の特性 71
図18. パッケージ寸法 (100-LQFP) 82
図19. パッケージ寸法 (64-LQFP) 83
図20. パッケージ寸法 (56-QFN) 84
図21. A34L716デバイスの命名規則 85

1. 紹介

1.1 一般情報

A34L716シリーズは最大 256 KBのフラッシュメモリおよび24 KBのSRAMを備えた高性能32ビットマイクロコントローラです。本シリーズは低消費電力および高性能（FPU搭載のArm®Cortex®-M4コア）の両方が求められる多様な電化製品に効果的なソリューションを提供する強力なマイクロコントローラです。

1.2 製品カテゴリの定義

本テータシートは各デバイスがサポートする機能の概要、各機能に関する高レベルな情報および簡単な説明を提供します。

表2はA34L716シリーズで使用可能なデバイスのメモリ容量の概要を示します。（製品カテゴリごとにサポートされる機能のリストについては、表3を参照してください。）

表2. A34L716シリーズのメモリ容量

メモリ容量		デバイス
フラッシュ	RAM	
256 KB	24 KB	A34L716

1.3 デバイスの概要

表3はA34L716シリーズの最大パッケージを考慮して利用可能な製品固有の機能をまとめて一覧表示しています。

表3. A34L716 シリーズの機能およびペリフェラル

ペリフェラル		説明
コア	CPU	• 最大動作周波数: 32 MHz • 32ビットArm®Cortex®-M4Fコア - 32ビットThumb®-2命令セット • CPUでのレジスタ設定: - 汎用レジスタ規定の使用 - メインスタックポインタ（MSP）およびプロセススタックポインタ（PSP）: R13 - リンクレジスタ（LR）: R14 - プログラムカウンタ（PC）: R15 • データの順序付け形式: リトルエンディアン（Little-Endian） • ハーバードアーキテクチャ（Harvard Architecture） • AHB・APB
	割り込み	• ネスト型ベクタ割り込みコントローラ（NVIC） • 最大 86個のペリフェラル割り込みをサポート • 16段階のプライオリティ（優先度）レベルを割り当て可能
	FPU	• ARMv7の浮動小数点演算機能を拡張および変換してレンダリング • ANSI/IEEE 754標準に準拠 • バイナリ浮動小数点演算と計算が可能
メモリ	コード フラッシュ	• 容量: 256 KB • 大容量のコードフラッシュメモリ内蔵 • 最大 25 MHzのフラッシュアクセス速度 • 512バイト、2 KB イレース（消去） • バルク（フルチップ）イレース • 読み取り保護機能 • セルフプログラミング機能 • フラッシュメモリ用のCRCコード生成および検証 • 書き換え耐性: 10,000 回 • データ保存時間: 10 年

表3. A34L716 シリーズの機能およびペリフェラル（続き）

ペリフェラル		説明
メモリ	データフラッシュ	• 容量: 32 KB • 最大 25 MHzのフラッシュアクセス速度 • 512バイト、2 KB イレース（消去） • フラッシュメモリ用のCRCコード生成および検証 • 書き換え耐性: 100,000 回 • データ保存時間: 10 年
	ブートROM	• 外部回路からnBOOTピンへ入力を受信することでマイクロコントローラのブートモードを開始 • UARTブートモード • インシステムプログラミング（ISP） - アプリケーションボードをセットアップすることで、内蔵フラッシュメモリへデータの書き込み可能
	SRAM	• 容量: 24 KB • プログラムの作業領域として使用可能 • タイムクリティカルなコードの高速実行 • SRAM領域の一部は割り込みベクタ領域としてリマップ可能
SCU（システムコントロールユニット）	動作周波数	最大 32 MHz
	クロック	• 高速内部（HSI）オシレータ: 32 MHz - HSICMU ON: ±0.5% @-40°C ～ +85°C - HSICMU OFF: ±3.0% @-10°C ～ +70°C、±5.0% @-20°C ～ +85°C • 低速内部オシレータ（LSI): 40 kHz（±30% @ -40°C ～ +85°C） • 外部メインオシレータ（HSE）: 1 MHz ～ 16 MHz • 外部サブオシレータ（LSE）: 32.768 kHz • 位相同期ループ（PLL）周波数ジェネレータは高速クロックを生成（最大 48 MHz）
	クロック監視	• クロック監視によるシステムフェイルセーフ機能 • 外部メインオシレータ（HSE） • 外部サブオシレータ（LSE） • メインシステムクロック（MCLK）
	動作モード	• RUNモード • SLEEPモード • DEEP-SLEEP（STOP1、STOP2）モード

表3. A34L716 シリーズの機能およびペリフェラル（続き）

ペリフェラル		説明
SCU（システムコントロールユニット）	リセット	• nRESETピンリセット（PC12） • コアリセット • ソフトウェアリセット • POR（パワーオンリセット） • LVR（低電圧リセット） • WDTR（ウォッチドッグタイマリセット） • クロック発振エラーによるリセット
	VDC	• 低電圧動作用の低ドロップアウト（LDO）レギュレータ内蔵
	POR	• PORジェネレータは内部 1.4 V電圧を検出し、リセット信号を生成可能
	LVI	• 7段階の低電圧検出レベル • 割り込みをサポート • DEEP-SLEEPモードからのウェイクアップをサポート
	ウェイクアップ	• 汎用I/O（GPIO）ピンによるウェイクアップをサポート • フリーランタイマ（FRT）によるウェイクアップ • ウォッチドッグタイマ（WDT）によるウェイクアップ • 低電圧インジケータ（LVI）によるウェイクアップ • リアルタイムクロックおよびカレンダ（RTCC）によるウェイクアップ • クロック同期式シリアルインタフェース（I2C）によるウェイクアップ • 汎用同期式・調歩同期式シリアル送受信機（USART）によるウェイクアップ • 低消費電力UART（LPUART）によるウェイクアップ • USBによるウェイクアップ
GPIO（汎用 I/O）		• 汎用入出力（I/O）ポート • 100-LQFP - I/Oピン：86 • 64-LQFP - I/Oピン：53 • 56-QFN - I/Oピン：48 • 各ピンに入出力設定が選択可能： - プッシュプル出力 - オープンドレイン出力 - 通常の入力 • マルチプレクサ（MUX）の設定を通じて各ピンの用途を構成可能

表3. A34L716 シリーズの機能およびペリフェラル（続き）

ペリフェラル		説明
GPIO （汎用 I/O）		• 以下のオプションを使用して外部割り込みソースとして設定可能: - 立ち上がりエッジ（Highレベル） - 立ち下がりエッジ（Lowレベル） - エッジトリガ（立ち上がりおよび立ち下がりエッジの両方） • プルアップまたはプルダウン抵抗およびデバウンスの設定可能 • 駆動強度を調整可能 • 対応ビットにより個別にセットまたはリセット可能 • 外部非同期入力によりトリガされるウェイクアップイベント
DMA （ダイレクトメモリアクセス コントローラ）		• ペリフェラルをサポートする7チャネルダイレクトメモリアクセス（DMA） • 8・16・32ビットのデータ転送単位 • 10種類のペリフェラルに対応 • UART、USART10、USART11、LPUART0、LPUART1、SPI0、SPI1、ADC0、ADC1、CRC
タイマ	16ビットタイマ	• 汎用16ビットアップカウントタイマ • 8チャネル - 8（TnIO）入力キャプチャチャネル - 8（TnIO）出力チャネル • タイマ動作モード: - 周期（Periodic）タイマモード - ワンショットモード - PWMモード - キャプチャモード • 割り込みイベント • タイマ・カウンタマッチ（一致）割り込み • タイマオーバーフロー割込み • 自由に選択可能なクロックソース: • ペリフェラルクロックイネーブルレジスタ1（SCU_PCER1）によりPCLKを設定可能 • その他クロック制御レジスタ3（SCU_MCCR3）によりLSI、LSE、MCLK、HSI、HSEまたはPLLを設定可能 • タイマ信号はTnIOピンを通して出力可能 • 10ビットのプリスケーラ

表3. A34L716 シリーズの機能およびペリフェラル（続き）

ペリフェラル		説明
タイマ	WDT（ウォッチドッグタイマ）	• 32ビットのダウンカウントタイマ • リセットおよび周期割り込み • 自由に選択可能なクロックソース: • その他クロック制御レジスタ1（SCU_MCCR1）によりLSI、LSE、MCLK、HSI、HSEまたはPLLを設定可能 • 異なる8つのプリスケーラ選択可能
	FRT（フリーランタイマ）	• 32ビットのフリーランタイマ - システム時間を計算可能 - 32ビットのアップカウントタイマ • 割り込みイベント - 周期（Periodic）割り込み - オーバーフロー割り込み
	RTCC	• リアルタイムクロックおよびカレンダ（RTCC） • LSEクロックをRTCCクロック（f_{RTCC}）として使用 • 年、月、週、日、時、分、秒のカウンタ（最大 99年） • 割り込みイベント - 一定周期マッチ（一致）割り込み機能（周期: 0.5秒、1秒、1分、1時間、1日、1ヶ月） - アラーム割り込み機能（アラーム:週、時、分） - タイムスタンプ割り込みおよび機能 • 1 Hzクロックのピン出力 • 32768 Hz LSE使用時、1.53 ppm分解能による誤り（エラー）訂正

表3. A34L716 シリーズの機能およびペリフェラル（続き）

ペリフェラル		説明
シリアル インタフェース	UART	• 1つの非同期シリアル通信ポート • 設定可能な標準非同期通信ビット（スタート、ストップ、パリティ） - プログラミングによる柔軟な通信が設定可能 - 5から8ビットのデータ転送 - 偶数・奇数・パリティなしの生成とチェック • 1、1.5、または2ビットのストップビットの生成とチェック • 8ビットの分数コントローラおよび16ビットのボーレートジェネレータ
	SPI	• 2チャネルの同期シリアル通信ポート • マスタ・スレーブ動作 • ループバック機能 • 柔軟な通信の設定およびプログラミングが可能 - 8・9・16・17ビットのデータ送受信 - SPIクロック速度設定 - 最下位ビット（LSB）優先および最上位ビット（MSB）優先の両方のモードが利用可能
	I2C	• 標準I2C通信プロトコル • 2チャネル構成 • マスタおよびスレーブモードをサポート • スレーブモードでの7ビットアドレスの指定可能 • SCL信号のHigh・Low周期およびホールドタイム設定可能
	LPUART	• 全二重および半二重 • 設定可能な標準非同期通信ビット（スタート、ストップ、パリティ） • プログラミングによる柔軟な通信が設定可能 - 5から8ビットのデータ転送 - 偶数・奇数・パリティなしの生成とチェック - 1、2ビットのストップビットの生成とチェック • 受信文字（Character）検出および受信タイムアウト機能 • ボーレート補正機能 • 32.768 kHzのLSEで最大 9,600 bpsに対応 • データオーバーランとフレームエラー検出機能

表3. A34L716 シリーズの機能およびペリフェラル（続き）

ペリフェラル		説明
シリアル インタフェース	USART	• 全二重動作（独立したシリアル受信および送信レジスタ） • 2チャネルのUSARTモジュール構成 • 非同期または同期動作 • 8ビット分数コントローラおよび16ビットボーレートジェネレータ • プログラミングによる柔軟な通信が設定可能 - 5から8ビットのデータ転送 - 偶数・奇数・パリティなしの生成とチェック - 1、2ビットのストップビットの生成とチェック • 受信文字（Character）検出および受信タイムアウト機能 • データオーバーランとフレームエラー検出機能 • TX（送信）完了、TX（送信）データレジスタエンプティ、RX（受信）完了の3つの独立した割り込み • 倍速（ダブルスピード）非同期通信モード
	USB	• 水晶不要でクロックリカバリシステム内蔵 • USB 2.0フルスピードに準拠 • USB専用の1 KB SRAM • 1～5個のエンドポイントに対応 • INおよびOUTエンドポイント • 2チャネルのDMA、64 バイトのバッファサイズ
12ビットADC		• 独立した2つのADCブロック • 24チャネルのアナログ入力構成 • 複数の動作モード: - シングル変換 - シーケンス変換 - バースト変換 - マルチ変換 • 最大 26回のシーケンシャル（連続）変換をサポート • ソフトウェアトリガをサポート • 内部トリガソース（タイマ）をサポート • サンプルタイムおよびホールドタイムを調整可能 • 2つのADCブロックの同時開始に対応 • バーストモードでの連続モードをサポート

表3. A34L716 シリーズの機能およびペリフェラル（続き）

ペリフェラル	説明
12ビットDAC	• 2ユニットの12ビットDAC • オペアンプ（OPAMP）ブロックのAIPnピンへの出力を選択可能
OPAMP （オペアンプ）	• それぞれ2つの入力ソースを備えた2個のオペアンプ • ADCとの連携動作に対応
CRC （巡回冗長検査）	• CRC動作モード: - CRC32 (0x04C1_1DB7) - CRC16_USB (0x8005) - CRC16_CCITT (0x1021) - CRC8_CCITT (0x07) • 入出力データのバイト反転をサポート • DMA対応可能
LCDドライバ	• 8-COM × 40-SEGまたは4-COM × 44-SEG (100-LQFP) • 8-COM × 18-SEGまたは4-COM × 22-SEG (64-LQFP) • 8-COM × 13-SEGまたは4-COM × 17-SEG (56-QFN) • 抵抗・コンデンサバイアス • 8段階のコントラスト制御
動作電圧	1.8 V ～ 3.6 V
動作温度	商用グレード（-40°C ～ +85°C）
パッケージ	• 3種類のパッケージオプション - 100-LQFP - 64-LQFP - 56-QFN

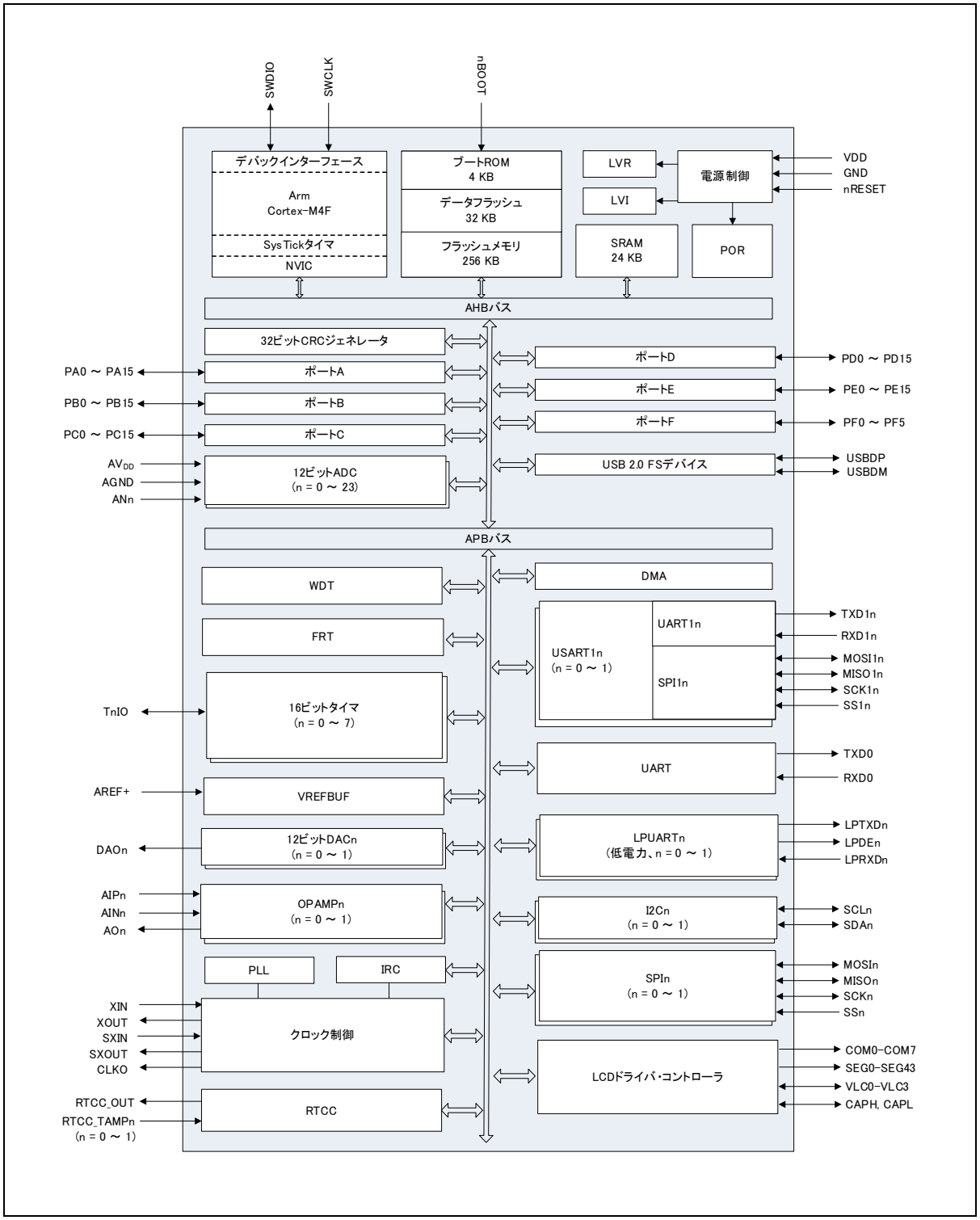
表4. A34L716ペリフェラルの概要

ペリフェラル		A34L716VLN	A34L716RLN	A34L716JYN
コードフラッシュメモリ		256 KB		
データフラッシュメモリ		32 KB		
SRAM		24 KB		
タイマ	汎用	8 (16 ビット)		
	SysTick	1		
	WDT	1		
	FRT	1		
	RTCC	1		
通信インタフェース	SPI	2		
	I2C	2		
	UART	1		
	USART	2		1
	LPUART	2		1
	USB	1		
LCD (COM × SEG)		4 × 44 または 8 × 40	4 × 22 または 8 × 18	4 × 17 または 8 × 13
DMA		7		
GPIO		86	54	46
ADC のチャネル数		2 (12 ビット 1.0 Msps)		
		24	17	
DAC 数		2		
OPAMP 数		2		
CRC		1		
最大動作周波数		32 MHz		
動作電圧		1.8 V ～ 3.6 V		
動作温度		動作周囲温度: −40°C ～ 85°C		
パッケージ		100-LQFP	64-LQFP	56-QFN

1.4 ブロック図

図1はA34L716シリーズのブロック図を示します。

図1. A34L716シリーズのブロック図



1.5 機能の概要

以下の各セクションではA34L716シリーズマイクロコントローラの機能の概要について説明します。

1.5.1 Cortex-M4Fコア

ARM®Cortex-M4FはCortex-M4と同じ機能を持ち、さらにオプションで浮動小数点演算機能を備えています。 これら2つのプロセッサは高速な割り込み応答機能を必要とする高度な組み込みアプリケーション向けに設計されています。

Cortex-M4Fの詳細については、技術リファレンスマニュアル「ARM DDI 0439 (ID061113)」を参照してください。

1.5.2 浮動小数点演算ユニット (FPU)

Cortex-M4のFPUはARMv7-M浮動小数点拡張 (FPv4-SP) の単精度を実現します。 内蔵のFPUはANSI/IEEE Std 754-2008「バイナリ浮動小数点演算用のIEEE規格」(IEEE 754規格) に準拠した浮動小数点演算機能を提供します。 FPUはARM®v7-Mアーキテクチャリファレンスマニュアルに記載されている全ての単精度データ処理命令とデータタイプをサポートしています。

1.5.3 内蔵SRAM

A34L716シリーズには0-ウェイトのSRAMを内蔵しています。 SRAMのサイズは24 KB、ベースアドレスは0x2000_0000です。

SRAMのメモリ領域は通常、データメモリとスタックメモリとして使用されます。 実行を高速化するため、またはフラッシュイレース (消去) ・プログラミング動作中にプログラムコードを格納するためにも利用できます。 このデバイスはメモリリマップ機能をサポートしていません。したがって、SRAMメモリ領域に格納されたコードを実行するには、ジャンプして復帰 (リターン) する必要があります。

1.5.4 ブート設定

A34L716シリーズは内蔵フラッシュメモリのプログラミング用に1つのブートモードを備えています。 システムリセットプロセスの間にnBOOTピンを'L'にすることでブートモードに移行できます (通常状態は'H'です)。

ブートモードはUARTブートをサポートしており、UARTインタフェースを使用してブートデータ (TXD10・RXD10) を送受信します。

ブートモードのピン目録は表5に示されています。

表5. ブートモードピン目録

ブロック	ピン名	I/O	ピンの方向	説明
SYSTEM	nRESET	PC12	入力	リセット信号を受信
	nBOOT	PC13	入力	ブートモードを設定
UART0	RXD0	PD0	入力	UARTブートデータを受信
	TXD0	PD1	出力	UARTブートデータを送信

1.5.5 電源

デバイスには1.8 V ～ 3.6 Vの動作電圧供給（V_{DD}）が必要であり、アナログペリフェラルには独立した電源ドメインAV_{DD}を通じて電源が供給されます。

表6. 電源

パラメータ	記号	Min	Max	単位
電源電圧	V_{DD}	1.8	3.6	V
	AV_{DD} (アナログ V_{DD})(1)	1.8	3.6	V

注:

1. AV_{DD}は例外なく常にV_{DD}と全く同じ電圧レベルで供給されなければならない。（AV_{DD} = V_{DD}）

電源印加プロセスの間、リセットは重要な役割を果たし、システム起動プロセス全体に影響を及びます。 A34L716シリーズには以下に示す2つの電源関連のリセットオプションを備えています:

- POR_RST（パワーオンリセット）は 1.4 V（Typ.）未満でリセット。
- LVD_RST（低電圧検出リセット）は 1.69 V（Typ.）未満でリセット。

電源レベルがPORより高く、フラッシュ動作電圧より低い場合、コード読み出し操作が誤作動する恐れがあります。 これらの不具合を防ぐため、LVD_RSTが動作してSYSRESETn内部信号を生成し、マイクロコントローラをリセットモードに切り替えます。 LVRより設定可能な最小レベルは1.69 V（Typ.）で、これはフラッシュメモリの最小動作電圧を満たしています。

1.5.6 動作モード

1.5.6.1 動作モードの遷移

INITモードはリセットがアサートされたときのチップの初期状態です。 RUNモードの際、CPUは高速クロックシステムで最大の性能を発揮します。 SLEEPモードおよびDEEP-SLEEPモードは低消費電力モードとして使用できます。 低消費電力モードではプロセッサコアと未使用のペリフェラルを停止することで、電力が効果的に管理され、消費電力が削減されます。

1.5.6.2 RUNモード

RUNモードではCPUとペリフェラルハードウェアは高速クロックで動作します。 もし、リセット後にINIT状態が検出されると、システムはRUNモードに入ります。

1.5.6.3 SLEEPモード

マイクロコントローラがSLEEPモードに入ると、CPUは非アクティブされます。 SCU_PERレジスタおよびSCU_PCERレジスタを設定することで、ユーザはSLEEPモードで非アクティブされるペリフェラルを決定することができます。

1.5.6.4 DEEP-SLEEP (STOP1、STOP2) モード

WFI命令を使ってコアが停止状態になると、マイクロコントローラはDEEP-SLEEPモードに入ります。 DEEP-SLEEPモードはDEEP-SLEEP (STOP 1) モードおよびDEEP-SLEEP (STOP 2) モードに分かれます。

1.5.6.5 リセットモード

A34L716シリーズは2種類のシステムリセットオプションを備えています。 1つはコールドリセットで、パワーオンまたはパワーダウンシーケンスの際に有効的です。 もう1つはウォームリセットで、複数のリセットソースによって生成されます。

A34L716シリーズのリセット機能を以下に示します:

- パワーオンリセット (POR)
- 低電圧検出リセット (LVR)
- nRESETピンリセット
- ウォッチドッグタイマ (WDT) リセット
- ソフトウェアリセット
- クロック発振エラーリセット
- CPUリクエストリセット

1.5.7 クロックおよびスタートアップ

A34L716シリーズには2つのメイン動作クロックがあります。 1つはCPUとAHBバスシステムの両方のクロック信号を生成するHCLKで、もう1つはペリフェラルシステムのクロック信号を生成するPCLKです。

1.5.7.1 HCLKクロック

Cortex-M4F CPUはHCLKとFCLK、2つのクロックを必要とします。 HCLKはCPUとAHBの両方にクロックを供給します。 FCLKはDEEP-SLEEPモード以外の際に有効化状態を維持しますが、 HCLKはアイドルモードの間に無効化できます。

HCLKはバスおよびメモリにクロックを供給します。 バスクロック周波数は最大 32 MHzに制限されていますので、HCLK周波数は32 MHzを超えてはなりません。

1.5.7.2 PCLKクロック

PCLKはあらゆるペリフェラルのクロックとして使用できます。 各ペリフェラルのPCLKを有効化するか無効化するかはSCU_PCERレジスタによって決定されます。 各ペリフェラルブロックのレジスタはPCLK入力が有効化されない限り読み出すことができません。 なお、PCLKはDEEP-SLEEPモードの間は動作を停止します。

1.5.7.3 クロック構成の手順

マイクロコントローラの電源投入後、システム動作シーケンスにおいて、HSI（4 MHz、32 MHz/8）はデフォルトでシステムクロックソースとして有効化されます。HSIがシステムクロックを供給している間でも、ユーザは別のクロックソースをシステムクロックとして設定できます。

HSEブロックを有効化する前にXINとXOUTのピンMUX（マルチプレクサ）を構成する必要があります。 このプロセス中はPC_MRレジスタおよびPC_CRレジスタの他のビットに影響を与えないようにすることが重要になります。 HSEブロックを有効化した後、水晶発振が安定するまで待機する必要があります。

セカンダリタLSE（32.768 kHz）クロックはSCU_CSCRレジスタによって有効化できます。 HSEと同様にLSEはSXINとSXOUTのピンMUX（マルチプレクサ）を構成後、発振が安定するのに十分な時間を置いた後に有効化する必要があります。

1.5.8 割り込みおよびイベント

1.5.8.1 ネスト型ベクタ割り込みコントローラ（NVIC）

A34L716シリーズは16段階の優先度を管理する最大 86個のマスク可能割り込みソースおよびCortex®-M4の16本の割り込みラインを制御するネスト型ベクタ割り込みコントローラ（NVIC）を搭載しています。

NVICは以下の利点を備えています:

- 割り込みレイテンシ（遅延）を低減しながらの割り込み処理が可能
- 割り込みベクターテーブル（IVT）アドレスをコアへダイレクト（直接）転送
- 高速割り込み処理能力
- 優先度の高い割り込みは、たとえ優先度の低い割り込みの後に発生しても、先に処理される。
- テールチェイニング機能
- プロセッサステータス（状態）の自動保存機能
- 割り込み終了時に命令オーバーヘッドなしで割り込みを復元

NVICハードウェアブロックは最小限の割り込みレイテンシ（遅延）で、柔軟かつ効率的な割り込み管理を提供します。

1.5.8.2 拡張割り込み（EXTI）

拡張割り込みの使用によりイベントリクエスト（要求）を生成したり、システムをSTOPモードからウェイクアップしたりできます。
各外部ラインはトリガイベント（立ち上がりエッジ、立ち下がりエッジまたは両エッジなど）およびレベルイベント（LowまたはHigh）を選択するよう、個別に設定できます。

1.5.9 GPIO (汎用I/O)

1.5.9.1 PCUの概要

A34L716シリーズは入出力ポートを制御するポートコントロールユニット (PCU) モジュールを備えています。 PCUレジスタを設定することで、ピン機能、入出力方向、プルアップ・プルダウンおよびデバウンスなどをアプリケーションの必要に応じて設定できます。

1.5.9.2 GPIOの概要

各ピンはV_{DD}、GNDおよび特定の専用ピンを除いて、汎用入出力 (GPIO) ピンとして使用できます。

GPIOモジュールは汎用I/Oポートを制御します。 GPIO制御レジスタの対応するビットを設定することで、出力ピンをHighレベルまたはLowレベル信号を生成するように設定できます。 一方、ロジック入力ピンの入力ステータス (状態) は制御レジスタを通じて監視 (モニタリング) できます。

1.5.10 内蔵フラッシュメモリ

フラッシュメモリコントローラは内蔵のフラッシュメモリ用のインタフェースコントローラで、 フラッシュメモリに格納されたデータの管理や他の電子デバイスとの通信を行います。

A34L716シリーズのコードフラッシュメモリには、以下に示すいくつかの主な機能を備えています:

- 256 KB容量の書き込み保護ビット付きコードフラッシュメモリ
- バルク (フルチップ)、512 バイト、2 KBイレース (消去)
- 0-ウェイト (25 MHzより低い場合)、1～15 ウェイト
- コードフラッシュメモリの読み取り保護機能

A34L716シリーズのデータフラッシュメモリには、以下に示すいくつかの主な機能を備えています:

- 32 KB容量の書き込み保護ビット付きデータフラッシュメモリ
- バルク (フルチップ)、512 バイト、2 KBイレース (消去)
- 0-ウェイト (25 MHzより低い場合)、1～15 ウェイト

1.5.11 HSICMU（高速内部OSCクロック管理ユニット）

- A34L716に統合されている高速内部OSCクロック管理ユニット（HSICMU）は水晶（X-tal）不要USBで使用される内部OSCクロックの自動トリミングを行うために設計されています。
- 以下はA34L71に内蔵されている高速内部OSCクロック管理ユニット（HSICMU）の特徴で、水晶（X-tal）不要USBでの内部OSCクロックの自動トリミングに使用されます。
- HSICMUはUSBペリフェラルに高精度なクロックを供給するのに最適です。 この場合、同期信号はUSBバス上のStart-of-Frame（SOF）パケットの信号から生成できます。 SOFパケットはUSBホストが1 msインターバル(間隔)で送信します。
- 同期信号はLSEオシレータ出力から生成することも、ユーザーソフトウェアで生成することも可能です。
- プログラム可能なプリスケーラと極性を備えた選択可能な同期ソース:
  - USB SOF（Start-of-Frame）送受信トグル
  - LSE
  - 外部SYNCピン（PD0）
- ソフトウェアによる同期パルス生成可能
- CPUの介在を必要としないオシレータの自動トリミング機能
- 誤差値の自動取得およびリロード機能付きの16ビット周波数誤差カウンタ
- 周波数誤差値の自動評価およびステータスレポートのためのプログラム可能なリミット

1.5.12 DMAC（ダイレクトメモリアクセスコントローラ）

ダイレクトメモリアクセス（DMA）コントローラはペリフェラルとメモリ間の高速データ転送に使用されます。 DMAはメモリ間コピーまたはメモリ内でのデータ移動を用いた高速なデータ転送を可能にします。

- 7チャネル構成
- シングルエンド信号方式のみ対応
- 32・16・8ビットのデータ転送
- 同一サイズの様々なバッファをサポート
- ペリフェラル割り込みによりトリガされるDMA転送

1.5.13 タイマ

1.5.13.1 WDT（ウォッチドッグタイマ）

ウォッチドッグタイマ（WDT）は外部干渉や予期せぬ論理状態によるマイクロコントローラのエラーを検出するために使用されます。 これらのエラーにより、アプリケーションプログラムは正常なシーケンスをあきらめることになります。 マイクロコントローラが制御不能になった場合、WDTはリセットを行ってマイクロコントローラを正常な状態に戻します。

A34L716シリーズのWDTは32ビットダウンカウンタです。 WDTをリセットソースとして設定する場合、ダウンカウンタが‘0’に達するとマイクロコントローラが再起動します。

WDTをマイクロコントローラの監視に使用しない場合、割り込みと共にサイクルタイマとして使用できます。

1.5.13.2 16ビットタイマ

A34L716シリーズは8個のユニットで構成されるTIMERモジュールを搭載しています。 この16ビットタイマは周期モード、PWMモード、ワンショットモード、キャプチャモードなどの4つの動作モードをサポートします。

ユーザは16ビットタイマの入力クロックソースとして、分周されたPCLKまたは外部クロックを使用できます。 内蔵の10ビットプリスケーラにより、様々なタイマベースクロックを生成できます。

タイマを周期モードで使用する場合、割り込みを一定のインターバル（間隔）でトリガできます。 PWMモードでは使用されるPWM信号を生成するために周期とデューティの設定が可能です。

ワンショットモードの場合、タイマは1つのPWM波形を生成できます。 キャプチャモードでは外部入力信号のパルスインターバル（間隔）を、事前定義された条件に基づいて測定できます。 さらに、このタイマは他のデバイスを制御するための信号を送信することができ、主に周期的なティックタイマやウェイクアップソースとして使用されます。

1.5.13.3 FRT（フリーランタイマ）

A34L716シリーズには32ビットのアップカウントタイマであるフリーランタイマ（FRT）を内蔵しています。 FRTはレジスタ設定に応じてオーバーフロー割り込みまたはマッチ（一致）割り込みとして実行でき、DEEP-SLEEP STOP1モードでもアクティブにされたままに維持できます。

1.5.13.4 SysTickタイマ

SysTickタイマは主にリアルタイムオペレーティングシステム向けに設計されていますが、標準的なダウンカウンタとしても利用できます。

SysTickタイマは以下の主な機能を備えています：

- 24ビットダウンカウンタ
- 自動リフレッシュ
- カウンタが‘0’に達した際にマスク可能なシステム割り込み生成
- プログラム可能なクロックソース

1.5.14 UART（調歩同期式シリアル送受信機）

A34L716シリーズには1チャネルの調歩同期式通信（UART）モジュールが搭載されています。 この内蔵UARTモジュールはユーザより指定された設定に従ってデータを送受信し、現在のUART状態を読み出すことができます。

UART状態情報は種類（タイプ）および条件などの送受信プロセスの現在の状態に関する情報を含まれており、データ受信の間にパリティエラー、オーバーランエラー、フレーミングエラー、ブレーク割り込みなどの潜在的なエラーの監視に使用できます。

各UARTチャネルにはプログラム可能なボーレートジェネレータを備えています。 そのジェネレータはボーレート除数（1 ～ 65,535）を使ってプリスケールされたクロックを分周し、その結果を16で割ることで、対応するUARTユニットの内部クロックを生成します。

また、ユーザによりUART通信を制御できる割り込みをプログラムできます。

さらに、調歩同期式通信（UART）の使用により高速なデータ通信を実行できます。

1.5.15 SPI（シリアルペリフェラルインタフェース）

A34L716シリーズには2つのシリアルペリフェラルインタフェース（SPI）モジュールが内蔵されています。 SPIモジュールはクロックによって同期され、転送クロックの仕様は調整可能です。

SPIモジュールは1つのマスタとスレーブ間の通信をサポートします。 スレーブはスレーブ選択（SS）信号によって選択できます。

SPIモジュールは4つの信号端子（SS、SCK、MOSIおよびMISO）を介して4線同期転送の実行が可能です。 さらに独立した送信バッファおよび受信バッファによってデータの読み書きを同時に実行できる全二重通信が可能になります。

1.5.16 I2C（クロック同期式シリアル）インタフェース

A34L716シリーズに内蔵されたI2C（Inter-Intergrated Circuit）インタフェースは「標準I2C通信プロトコル」に準拠しており、I2Cプロトコルを介して内部および外部デバイスとのシリアル通信に使用されます。

搭載された2つのユニットはマスタモードとスレーブモードの両方をサポートし、割り込みまたはポーリングを使ってバイト単位でのデータを送受信できます。

A34L716シリーズのI2Cインタフェースは標準モード（100 kHz）または高速モード（400 kHz）で動作し、ジェネラルコールもサポートします。

I2Cインタフェースは同じバスタイプを持つ様々なペリフェラルとの通信に役立ちます。 I2Cを使用する際にはSCLおよびSDAピンをオープンドレインに設定し、それらの出力信号を‘HIGH’とするために外部プルアップ抵抗を接続することをお勧めします。

表7. I2Cnの特徴（n = 0 ～ 1）

I2Cの特徴	I2C0	I2C1
7ビットアドレッシングモード	O	O
標準モード（最大 100 kbit/s）	O	O
高速モード（最大 400 kbit/s）	O	O
ジェネラルコール	O	O

1.5.17 USART（汎用同期・調歩同期式送受信機）

汎用同期・調歩同期式送受信機（USART）は高度に柔軟なシリアル通信デバイスです。

主な機能については以下に示します：

- 全二重動作（独立したシリアル受信レジスタおよび送信レジスタ）
- 調歩同期または同期動作
- ボーレートジェネレータ
- 5、6、7、8または9データビットおよび1または2ストップビットのシリアルフレームをサポート
- ハードウェアによる奇数または偶数パリティ生成およびパリティチェックをサポート
- データオーバーラン検出
- フレーミングエラー検出
- TX（送信）完了、TX（送信）データレジスタエンプティ（空き）、RX（受信）完了の3つの独立割り込み
- 倍速（ダブルスピード）調歩同期通信モード

追加機能ついては以下に示します：

- 浮動小数点カウントレジスタによる0 %誤差ボーレート
- 受信タイムアウト割り込みをサポート
- ダイレクトメモリアクセス（DMA）および割り込みをサポート

表8. USARTピンの割り当て：外部ピン

ピン名	形式	説明
TXDn	O	UART送信出力
RXDn	I	UART送信入力
SSn	I/O	スレーブ選択用のSPIシリアルポートI/O信号
SCKn	I/O	SPIクロックI/O（マスタ：出力/スレーブ：入力）
MOSIn	I/O	SPI送信および受信データ（マスタ：出力・スレーブ：入力）
MISOn	I/O	SPI送信および受信データ（マスタ：入力・スレーブ：:出力）

注：

1. n = 10、11。

1.5.18 LPUART（低消費電力調歩同期式送受信機）

A34L716シリーズは2チャンネルの低消費電力UARTモジュール（調歩同期式送受信機）を内蔵しています。

低消費電力UART（LPUART）は32.768 kHzのサブオシレータを使用し、DEEP-SLEEPモードで最大 9,600 bpsの非同期シリアル通信をサポートします。また、1線式半二重通信もサポートします。

A34L716シリーズのLPUART 0/1は以下の機能を備えています:

- 全二重および半二重動作
- ボーレートジェネレータ機能
- 5、6、7、または8データビットと1または2ストップビットのシリアルフレームをサポート
- ハードウェアによる奇数または偶数パリティ生成およびパリティチェックをサポート
- 受信文字（Character）検出および受信タイムアウト機能をサポート
- ボーレート補正機能
- 32.768 kHzのサブオシレータで最大 9,600 bpsに対応
- データオーバーラン検出
- フレーミングエラー検出
- 倍速（ダブルスピード）非同期通信モード

1.5.19 USBフルスピードデバイスインタフェース

A34L716シリーズのUSBブロックはフルスピードUSBバスとAHBバス間のインタフェースを制御します。

このコントローラは5つのエンドポイントを備えており、各エンドポイントはINまたはOUTエンドポイントとして設定できます。USB 2.0フルスピードデバイス仕様に準拠し、制御転送、バルク転送、割り込み転送方式をサポートします。

アイソクロナス転送はデータの送信に使用されますが、バッファサイズが小さいため、実際には使用が困難です。

USBサスペンド・レジューム機能がサポートされており、デバイスクロックを停止することで低消費電力化を実現できます。詳細については、*Universal Serial Bus Specification Revision 1.1* を参照してください。

A34L716シリーズのUSBは以下の機能を備えています:

- USB 2.0フルスピード仕様に準拠
- 3種類の異なる割り込みイベント（ウェイクアップ、USB、バス）を備えた1つの割り込みベクタを提供
- 制御転送、バルク転送、割り込み転送方式をサポート
- バス動作（アクティビティ）が3 ms間存在しない際にサスペンド機能をサポート
- リモートウェイクアップ機能を提供
- フルスピード（FS、12 Mbps）のみに対応
- エンドポイント数を1～5個まで設定可能
- 2チャネルのUSB DMA、64バイトのバッファサイズ

1.5.20 LCDドライバ・コントローラ

LCDドライバは最大 8つの共通端子（COM端子）および44個のセグメント端子を備え、最大 320 ピクセルを表示できます。

LCDドライバに選択されたクロックを使用する場合、SLEEPモードおよびDEEP-SLEEPモード中でも動作を継続できます。

クロックとLCDドライバのデューティは制御レジスタに値が書き込まれるたびにハードウェアによって初期化されます。 したがって、LCD_CRを頻回に書き換えないことが推奨されます。

A34L716シリーズのLCDは以下の機能を備えています:

- 抵抗バイアス、コンデンサバイアスをサポート
- 1/2、1/3、1/4、1/5、1/6、1/8のデューティをサポート
- 1/2、1/3、1/4のバイアスをサポート

1.5.21 ADC（アナログ-デジタルコンバータ）

A34L716シリーズのADCモジュールは独立して制御可能な2つのユニットで構成され、最大 24種類の異なるアナログ入力をサポートする12ビット分解能を持つアナログ-デジタルコンバータ（ADC）モジュールです。

このADCモジュールはシングルモード、シーケンシャルモード、マルチモード、バーストモードで、様々なチャネルのAD変換を処理できます。 また、多様なアプリケーションで必要とされる重要なタイミングで複数チャネルの電圧入力をサンプリングすることができ、TIMERと連動したトリガ機能を使用することで実現できます。

AD変換が完了すると、その結果は左詰めで16ビットデータレジスタに格納されます。

ADCはAHBにマッピングされ、内部クロックソースに基づいて高速動作が可能になります。 さらに、内蔵DMAの使用でマイクロコントローラコアの負荷を軽減しながら、高速データサンプリングを可能にします。

ADCのアナログ入力監視および比較機能により、アプリケーションは入力電圧が定義済みレベルを超えているか下回っているかを判断できます。

1.5.22 VREFBUF（電圧リファレンスバッファ）

A34L716デバイスはADCおよびDACの電圧リファレンスとして使用できる電圧リファレンスバッファを内蔵しています。 また、AREF+ピンを介して外部コンポーネント（部品）の電圧リファレンスとしても使用できます。

内部電圧リファレンスバッファは以下の2つの電圧をサポートします：

- 2.0 V
- 2.5 V

内部電圧リファレンスバッファがオフの場合、AREF+ピンを介して外部電圧リファレンスを供給できます。 外部電圧リファレンスを使用する場合でも、VREFBUF_CRレジスタでリファレンスソースを選択する必要があります。

ADC、DACおよびOPAMPを使用する前に、VREFBUF_CRレジスタを設定しなければなりません。

1.5.23 OPAMP（オペアンプ）

以下にA34L716に内蔵されたオペアンプ（OPAMP）の特性を示します。

- 2つのオペアンプユニットを利用可能
- ADCチャネルと連動して使用されるオペアンプ出力

1.5.24 DAC（デジタル-アナログコンバータ）

DACモジュールは12ビットの電圧出力型デジタル-アナログコンバータです。 DACは2つの出力チャンネルを備え、それぞれにコンバータが搭載されています。 入力リファレンスピンAREF+（他のアナログペリフェラルと共有）が、より高い分解能のために利用可能です。 同じ入力に内部リファレンスを設定することもできます。 詳細については、電圧リファレンスバッファ（VREFBUF）セクションを参照してください。

DAC出力が出力パッドから切り離され、オンチップペリフェラルに接続されている場合、DAOnピンは汎用入出力（GPIO）として使用できます。

DAC出力バッファはオプションで有効化でき、高駆動出力電流を可能にします。

A34L716のDACには以下の機能を備えています:

- 2つのDACコンバータ: 各1つの出力チャネル
- 同期更新機能
- 独立に変換可能なデュアルDACチャネル
- DAC出力チャンネルのバッファ付き・バッファなしモード
- 各DAC出力はDAOn出力ピンから切り離すことが可能
- DAC出力はオンチップペリフェラルに接続可能
- 入力電圧リファレンス、AREF+

1.5.25 CRC（巡回冗長検査計算）モジュール

巡回冗長検査（CRC）モジュールは32ビット、16ビットUSB、16ビットCCITTおよび8ビットCCITTコードを8ビットまたは32ビットのデータサイズから取得するために使用されます。 アプリケーションプログラムは機能安全規格に準拠して、データ転送、ストレージおよびフラッシュメモリの完全性を検査するためにCRCベースの技術を採用しています。

CRCモジュールを使用すると、転送データおよびフラッシュメモリデータの整合性を検査できます。 特に、A34L716のCRCモジュールはDMAをサポートしています。

1.5.26 RTCC（リアルタイムクロックおよびカレンダ）

A34L716シリーズのリアルタイムクロックおよびカレンダ（RTCC）は全ての低消費電力モードを管理するための自動ウェイクアップ機能を備えています。

RTCCは独立したBCDタイマ・カウンタです。 プログラム可能なアラーム割り込みを備えた時刻クロック・カレンダを提供します。 さらに、割り込み機能を備えた周期的なプログラマブルウェイクアップフラグも搭載しています。 8つのRTCCカウンタは秒未満、秒、分、時、週、日、月、年をバイナリ符号化10進数（BCD）形式で格納します。 28日、29日（うるう年)、30日、31日の各月に対する補正は自動的に行われます。 水晶オシレータの精度変動を補正するための誤り（エラー）訂正機能が利用できます。

いずれの動作モードにおいても、秒未満カウンタにはアクセスできません。 通常動作モードでは7つのRTCCカウンタは読み書きアクセスから保護されています。 読み書き動作はRWモードでのみ可能です。 電源電圧が動作範囲内にある限り、RTCCはデバイスの状態に関わらず停止しません。

A34L716シリーズのRTCCは以下の機能を備えています:

- LSI40 kHzおよびMCCR2クロックをRTCCクロック（f_{RTCC}）として使用
- 年、月、週、日、時、分、秒のカウンタ（最大 99年）
- 一定周期マッチ（一致）割り込み機能（周期: 0.5秒、1秒、1分、1時間、1日、1ヶ月）
- アラーム割り込み機能（アラーム:週、時、分）
- タイムスタンプ割り込みおよび機能
- 1 Hzクロックのピン出力
- 32768 Hz LSE使用時、1.53 ppm分解能によるエラー訂正

1.6 開発サポート

本チャプターではデバイスの開発サポート機能について説明します。 このデバイスはツールチェーンとの互換性、デバッグインタフェース、トレース機能およびオンボードデバッグ・プログラミング接続など、標準的なArm®開発サポートを提供します。

詳細については、機能一覧、ピン配置および電気的特性を参照してください。

1.6.1 ツールチェーンサポート

このデバイスはArm® Keil® MDK、IAR Embedded Workbench® for Arm®、およびGCCベースのツールチェーンを含む、標準的なArm互換ツールチェーンを使用したソフトウェア開発をサポートしています。

デバイス固有のスタートアップファイル、リンカスクリプト、ヘッダファイルおよびソフトウェアサンプルは製品シリーズおよびソフトウェアパッケージごとに個別に提供されます。

1.6.2 デバッグインタフェース

1.6.2.1 シリアルワイヤ/JTAG デバッグポート (SWJ-DP)

本デバイスは、 ソフトウェアデバッグおよびインシステムでのフラッシュメモリ書き込みのために、Arm® Serial Wire/JTAG デバッグポート(SWJ-DP)を備えています。

SWDモードでは、デバッグインタフェースとしてSWDIOおよびSWCLKを使用します。JTAGモードでは、TMS、TCK、TDI、TDO、ならびにオプションのnTRSTピンを使用します。各デバッグピンの使用可否は、製品仕様、パッケージ、およびピン多重化設定に依存します。

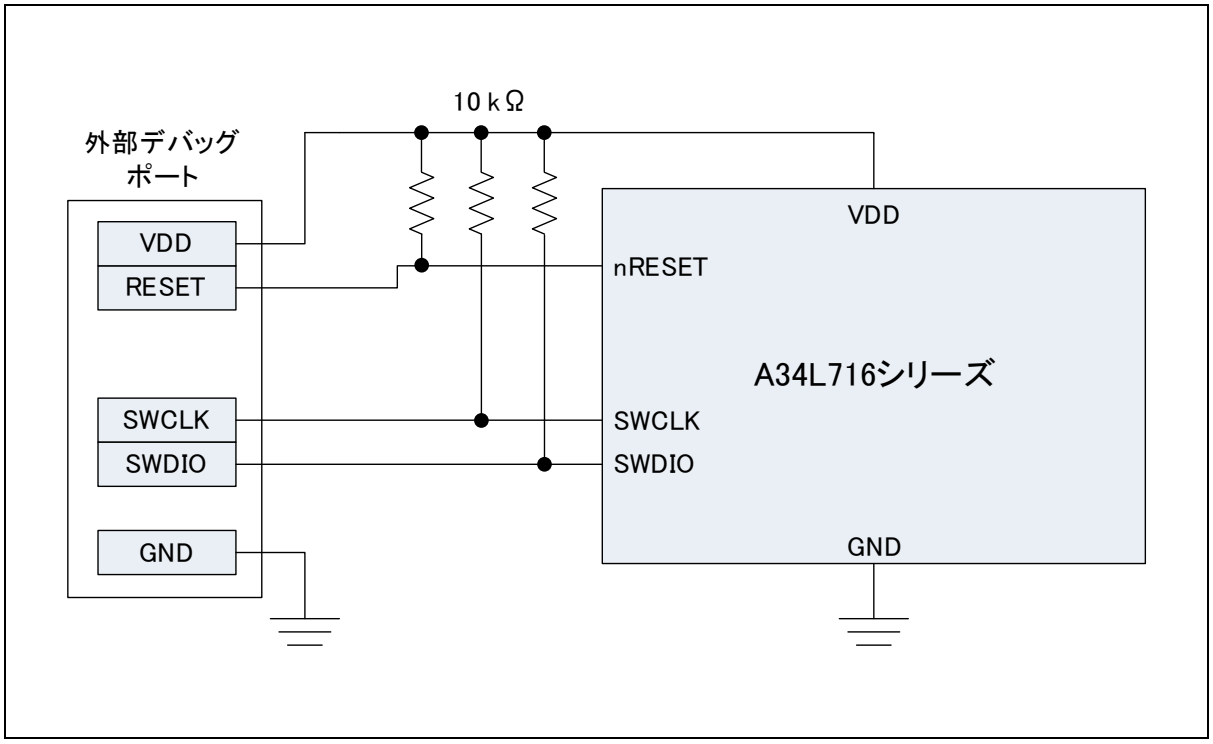
デバッグピンは、製品やパッケージによってGPIOやその他の代替機能と共有(多重化)される場合があります。これらのデバッグピンをアプリケーション用途として使用する場合は、デバッグおよびプログラミング時にもピンへアクセスできるよう、ターゲット基板およびファームウェアを設計する必要があります。

1.6.2.2 SWD接続ガイド

オンボードデバッグおよびプログラミングを行うため、ターゲットボードではSWDIO、SWCLK、VDD、VSSおよびnRESETにアクセスできるようにする必要があります。 デバッグ接続の信頼性向上およびデバイスのリカバリのため、nRESETを接続することを推奨します。

VDDピンは外部デバッグプローブに対するターゲット電圧の基準電圧を提供します。 デバッグプローブのメーカーから別途指定がない限り、VDDピンはターゲットボードの電源電圧に接続する必要があります。

図2. SWDインタフェースの接続



1.6.3 トレース機能

1.6.3.1 組込みトレースマクロセル™（ETM）

本デバイスは、Arm® Embedded Trace Macrocell™（ETM）に対応しています。 ETMはCPUの実行フローから命令トレース情報を生成し、トレースインターフェースを介してトレースデータを出力します。

ETMは外部のトレース対応デバッグシステムと組み合わせて使用することで、アプリケーションファームウェアにデバッグコードを挿入することなく、デバッグ時のプログラム実行フローを再構築できます。

ETMトレースを使用するには必要なトレースピンをトレース機能に割り当て、外部のデバッグ／トレースコネクタに接続する必要があります。 利用可能なETMトレースピンについては、ピン説明を参照してください。

2. ピン配置およびピンの説明

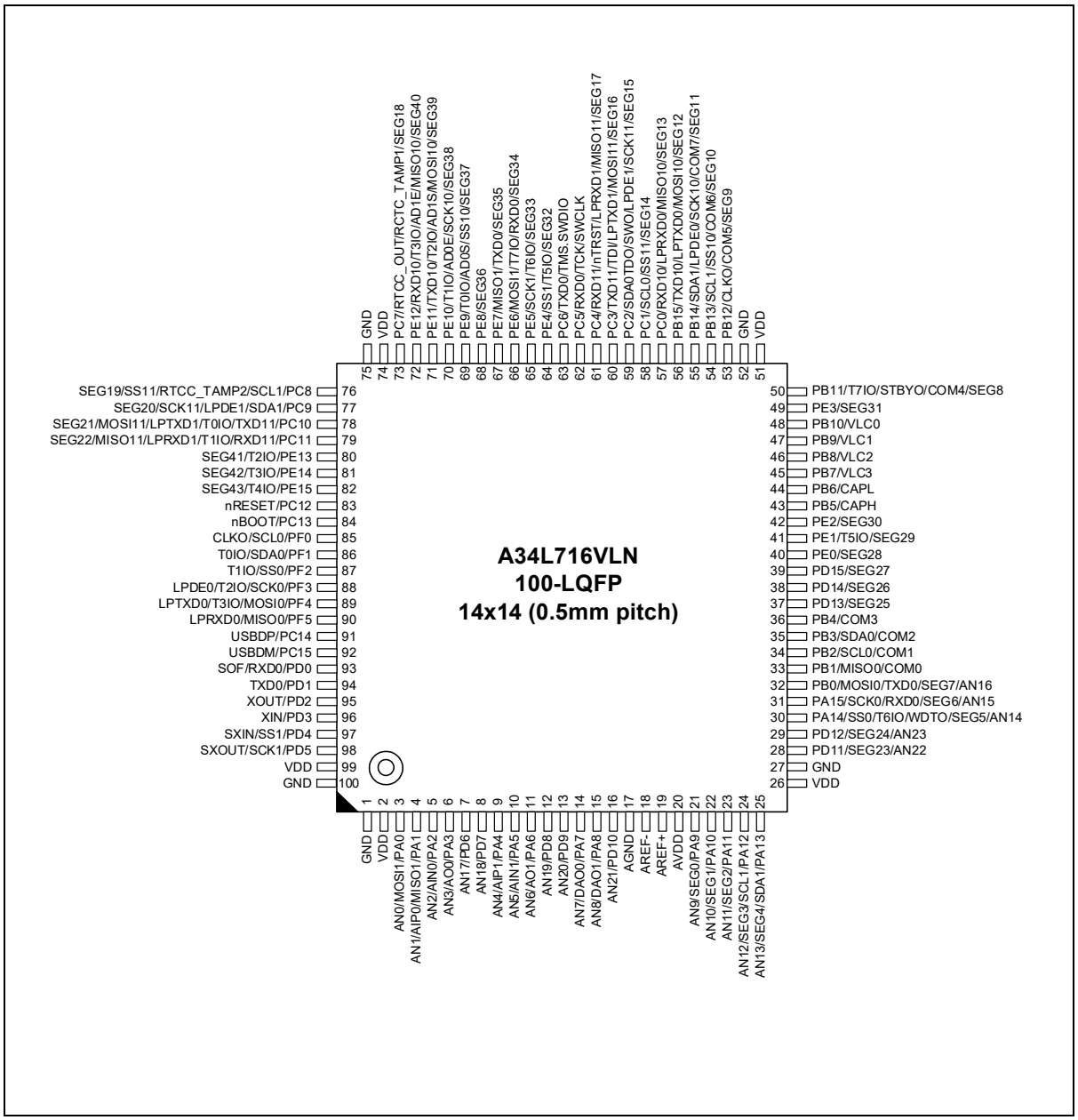
本チャプターではA34L716のピン配置およびピンの説明について説明します。

2.1 ピン配置

図3、図4および図5はパッケージのトップビューを示しています。

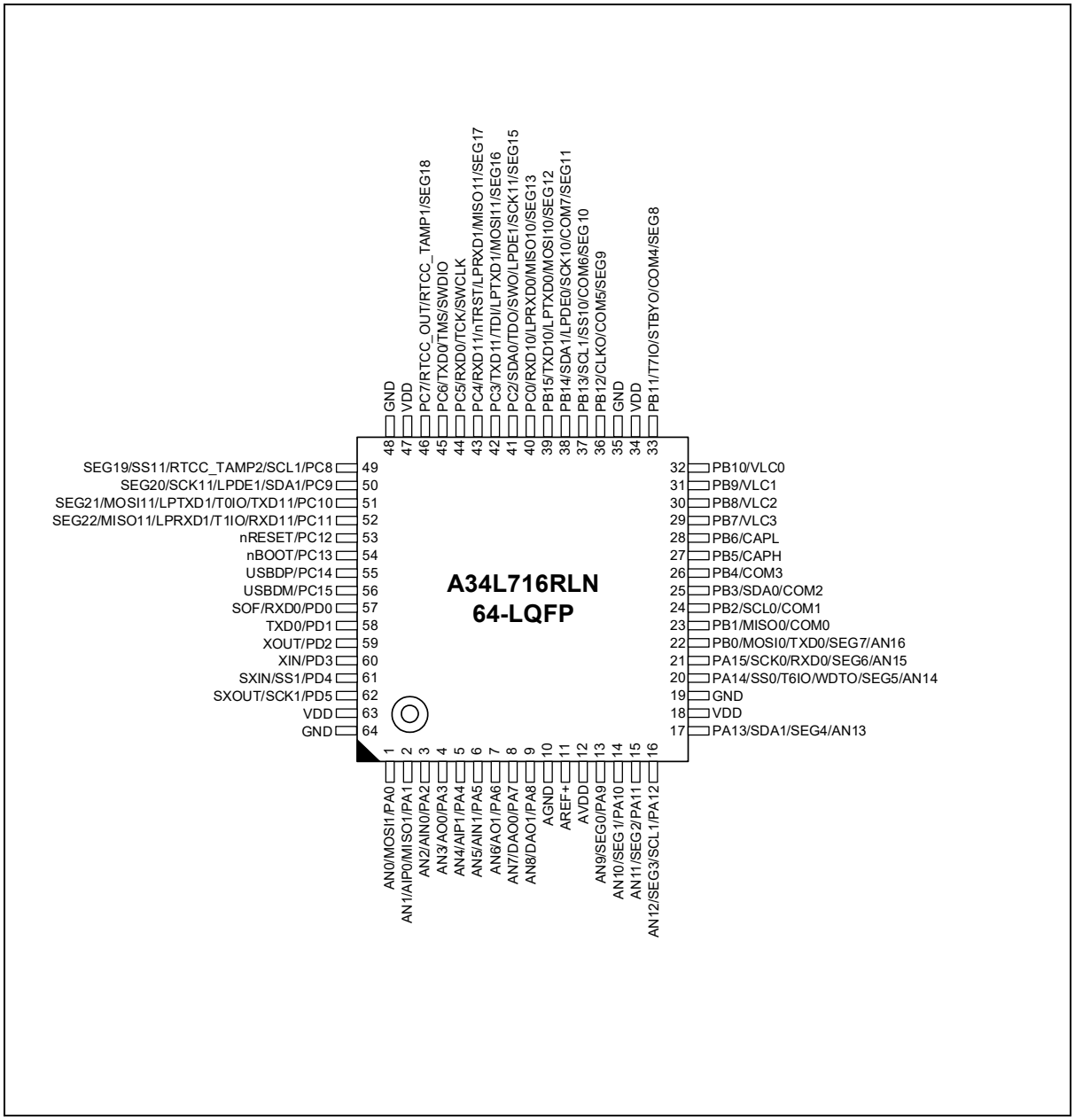
2.1.1 A34L716VLN (100-LQFP)

図3. 100-LQFPのピン配置



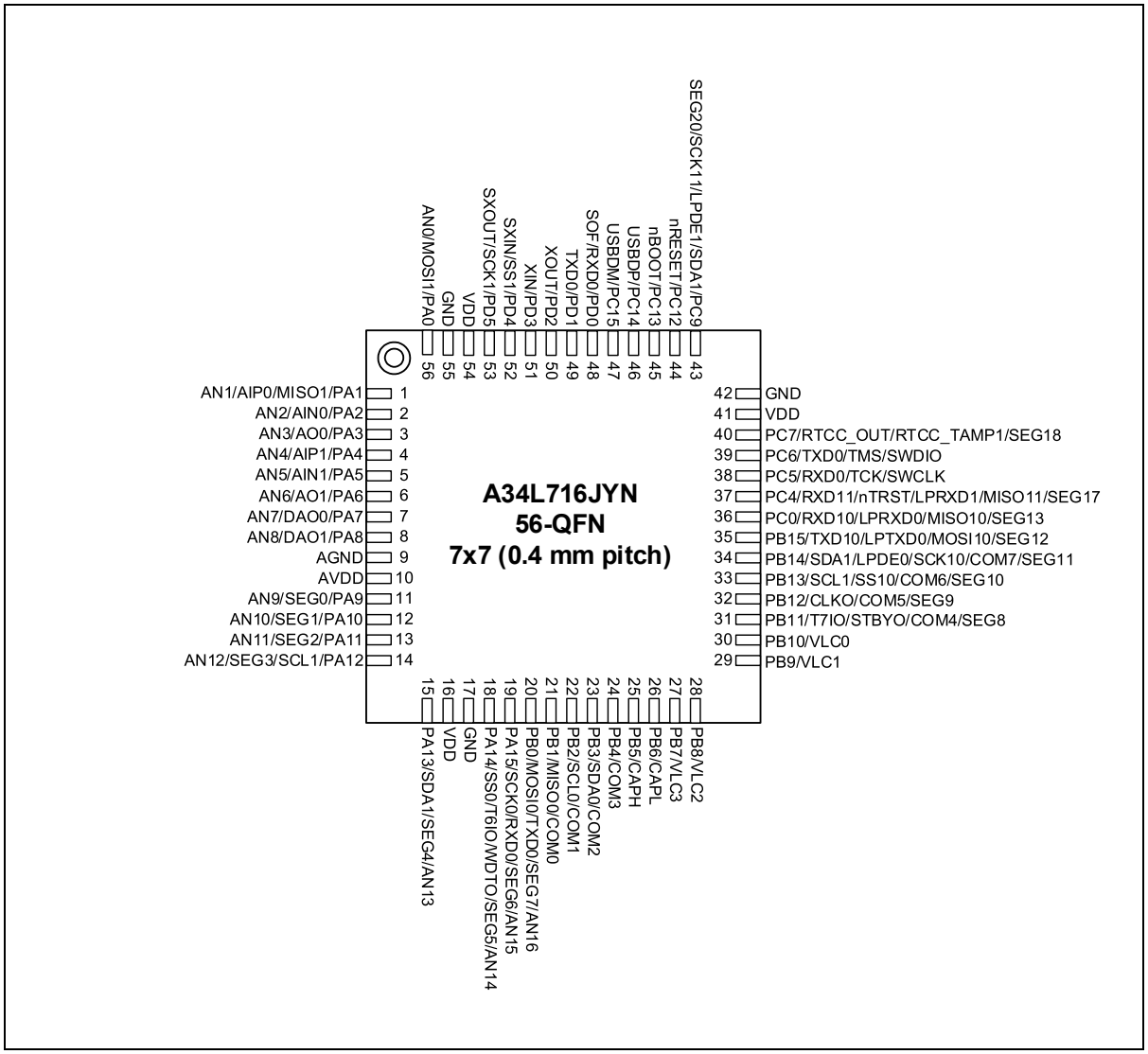
2.1.2 A34L716RLN (64-LQFP)

図4. 64-LQFPのピン配置



2.1.3 A34L716JYN (56-QFN)

図5. 56-QFNのピン配置



2.2 ピンの説明

表9. ピンの説明で使用される凡例および略語

分類	略語	定義
ピン名	• ピン名は常に同じです。 • ユーザは兼用機能を使用してピンに機能を設定できます。	
ピン形式	I	入力
	O	出力
	I/O	入力・出力
	U	プルアップ
	D	プルダウン
	S	シュミットトリガ入力
	C	CMOS 入力
	A	アナログ
	P	電源
ピン機能	兼用機能	Pn_MR1・2 (ポート n mux1・2 選択レジスタ) レジスタによって選択される機能

注:

1. 「*」は「リセット状態後の選択されたピン機能」を意味します。
2. 未使用ピンはファームウェアから出力に設定されます。 (Low出力を推奨。)
3. ピン順序は、改訂通知により変更される場合があります。
4. PC13 (nBOOT)、PC12 (nRESET)、PC6 (SWDIO)、PC5 (SWCLK)。
5. 未使用ピンをフローティング入力として設定しないでください。
6. リセット後、ブートピン用の内部プルアップが有効化されます。
7. リセット後、シリアルワイヤクロック (SWCLK) およびシリアルワイヤデータI/O (SWDIO) の内部プルアップが有効化されます。
8. SWCLおよびSWDIOピンは使用中に他の機能に切り替えるべきではありません。
9. PB5、PB6、PB7、PB8、PB9およびPB10ポートは内部プルダウン抵抗機能をサポートしますが、内部プルアップ抵抗とポート駆動能力機能をサポートしません。これらのポートを使用する際は、十分にご注意ください。

表10のピン構成情報には2組の電源、グラウンドおよびその他の専用ピンが含まれています。 これらの兼用機能ピンにはGPIOを含む最大 5つの機能を選択することができます。 ピンの順序を含む構成は予告なく変更される場合があります。

表10. ピンの説明

ピン番号			ピン名	形式	説明	備考
100-LQFP	64-LQFP	56-QFN				
1	–	–	GND	P	GND	
2	–	–	VDD	P	VDD	
3	1	56	PA0	IOUS	ポート A ビット 0 入出力	
			MOSI1	IO	SPI チャネル 1 MOSI (マスタ出力・スレーブ入力) 信号	
			AN0	IA	アナログ入力 0	
4	2	1	PA1	IOUS	ポート A ビット 1 入出力	
			MISO1	IO	SPI チャネル 1 マスタ入力・スレーブ出力信号	
			AN1/AIP0	IA	アナログ入力 1・オペアンプ正入力 0	
5	3	2	PA2	IOUS	ポート A ビット 2 入出力	
			AN2/AIN0	IA	アナログ入力 2・オペアンプ負入力 0	
6	4	3	PA3	IOUS	ポート A ビット 3 入出力	
			AN3/AO0	IA	アナログ入力 3・オペアンプ出力 0	
7	–	–	PD6	IOUS	ポート D ビット 6 入出力	
			AN17	IA	アナログ入力 17	
8	–	–	PD7	IOUS	ポート D ビット 7 入出力	
			AN18	IA	アナログ入力 18	
9	5	4	PA4	IOUS	ポート A ビット 4 入出力	
			AN4/AIP1	IA	アナログ入力 4・オペアンプ正入力 1	
10	6	5	PA5	IOUS	ポート A ビット 5 入出力	
			AN5/AIN1	IA	アナログ入力 5・オペアンプ負入力 1	
11	7	6	PA6	IOUS	ポート A ビット 6 入出力	
			AN6/AO1	IA	アナログ入力 6・オペアンプ出力 1	
12	–	–	PD8	IOUS	ポート D ビット 8 入出力	
			AN19	IA	アナログ入力 19	
13	–	–	PD9	IOUS	ポート D ビット 9 入出力	
			AN20	IA	アナログ入力 20	
14	8	7	PA7	IOUS	ポート A ビット 7 入出力	
			AN7/DAO0	IOA	アナログ入力 7・デジタル-アナログ出力 0	
15	9	8	PA8	IOUS	ポート A ビット 8 入出力	
			AN8/DAO1	IOA	アナログ入力 8・デジタル-アナログ出力 1	
16	–	–	PD10	IOUS	ポート D ビット 10 入出力	
			AN21	IA	アナログ入力 21	

表10. ピンの説明（続き）

ピン番号			ピン名	形式	説明	備考
100-LQFP	64-LQFP	56-QFN				
17	10	9	AGND	P	アナログ GND	
18	–	–	AREF-	P	アナログリファレンス GND	
19	11	–	AREF+	P	アナログリファレンス VDD	
20	12	10	AVDD	P	アナログ VDD	
21	13	11	PA9	IOUS	ポート A ビット 9 入出力	
			SEG0	OA	LCD セグメント信号出力	
			AN9	IA	アナログ入力 9	
22	14	12	PA10	IOUS	ポート A ビット 10 入出力	
			SEG1	OA	LCD セグメント信号出力	
			AN10	IA	アナログ入力 10	
23	15	13	PA11	IOUS	ポート A ビット 11 入出力	
			SEG2	OA	LCD セグメント信号出力	
			AN11	IA	アナログ入力 11	
24	16	14	PA12	IOUS	ポート A ビット 12 入出力	
			SCL1	IO	I2C チャネル 1 SCL 入出力	
			SEG3	OA	LCD セグメント信号出力	
			AN12	IA	アナログ入力 12	
25	17	15	PA13	IOUS	ポート A ビット 13 入出力	
			SDA1	IO	I2C チャネル 1 SDA 入出力	
			SEG4	OA	LCD セグメント信号出力	
			AN13	IA	アナログ入力 13	
26	18	16	VDD	P	VDD	
27	19	17	GND	P	GND	
28	–	–	PD11	IOUS	ポート D ビット 11 入出力	
			SEG23	OA	LCD セグメント信号出力	
			AN22	IA	アナログ入力 22	
29	–	–	PD12	IOUS	ポート D ビット 12 入出力	
			SEG24	OA	LCD セグメント信号出力	
			AN23	IA	アナログ入力 23	
30	20	18	PA14	IOUS	ポート A ビット 14 入出力	
			SS0	IO	SPI チャネル 0 選択信号入出力	
			T6IO	IO	Timer 6 入出力	
			WDTO	O	WDT 出力	
			SEG5	OA	LCD セグメント信号出力	
			AN14	IA	アナログ入力 14	
31	21	19	PA15	IOUS	ポート A ビット 15 入出力	
			SCK0	IO	SPI チャネル 0 クロック入出力	
			RXD0	I	UART チャネル 0 RXD 入力	
			SEG6	OA	LCD セグメント信号出力	
			AN15	IA	アナログ入力 15	

表10. ピンの説明（続き）

ピン番号			ピン名	形式	説明	備考
100-LQFP	64-LQFP	56-QFN				
32	22	20	PB0	IOUS	ポート B ビット 0 入出力	
			MOSI0	IO	SPI チャネル 0 マスタ出力・スレーブ入力信号	
			TXD0	O	UART チャネル 0 TXD 出力	
			SEG7	OA	LCD セグメント信号出力	
			AN16	IA	アナログ入力 16	
33	23	21	PB1	IOUS	ポート B ビット 1 入出力	
			MISO0	IO	SPI チャネル 0 マスタ入力・スレーブ出力信号	
			COM0	OA	LCD 共通信号出力	
34	24	22	PB2	IOUS	ポート B ビット 2 入出力	
			SCL0	IO	I2C チャネル 0 SCL 入出力	
			COM1	OA	LCD 共通信号出力	
35	25	23	PB3	IOUS	ポート B ビット 3 入出力	
			SDA0	IO	I2C チャネル 0 SDA 入出力	
			COM2	OA	LCD 共通信号出力	
36	26	24	PB4	IOUS	ポート B ビット 4 入出力	
			COM3	OA	LCD 共通信号出力	
37	–	–	PD13	IOUS	ポート D ビット 13 入出力	
			SEG25	OA	LCD セグメント信号出力	
38	–	–	PD14	IOUS	ポート D ビット 14 入出力	
			SEG26	OA	LCD セグメント信号出力	
39	–	–	PD15	IOUS	ポート D ビット 15 入出力	
			SEG27	OA	LCD セグメント信号出力	
40	–	–	PE0	IOUS	ポート E ビット 0 入出力	
			SEG28	OA	LCD セグメント信号出力	
41	–	–	PE1	IOUS	ポート E ビット 1 入出力	
			T5IO	IO	Timer 5 入出力	
			SEG29	OA	LCD セグメント信号出力	
42	–	–	PE2	IOUS	ポート E ビット 2 入出力	
			SEG30	OA	LCD セグメント信号出力	
43	27	25	PB5	IOUS	ポート B ビット 5 入出力	
			CAPH	I	電圧ブースタ用コンデンサ端子	
44	28	26	PB6	IOUS	ポート B ビット 6 入出力	
			CAPL	I	電圧ブースタ用コンデンサ端子	
45	29	27	PB7	IOUS	ポート B ビット 7 入出力	
			VLC3	A/OA	LCD バイアス電圧入出力	

表10. ピンの説明（続き）

ピン番号			ピン名	形式	説明	備考
100-LQFP	64-LQFP	56-QFN				
46	30	28	PB8	IOUS	ポート B ビット 8 入出力	
			VLC2	A/OA	LCD バイアス電圧入出力	
47	31	29	PB9	IOUS	ポート B ビット 9 入出力	
			VLC1	A/OA	LCD バイアス電圧入出力	
48	32	30	PB10	IOUS	ポート B ビット 10 入出力	
			VLC0	A/OA	LCD バイアス電圧入出力	
49	–	–	PE3	IOUS	ポート E ビット 3 入出力	
			SEG31	OA	LCD セグメント信号出力	
50	33	31	PB11	IOUS	ポート B ビット 11 入出力	
			T7IO	IO	Timer 7 入出力	
			STBYO	O	パワーダウンモード表示信号	
			COM4/SEG8	OA	LCD 共通信号出力/ LCD セグメント信号出力	
51	34	–	VDD	P	VDD	
52	35	–	GND	P	GND	
53	36	32	PB12	IOUS	ポート B ビット 12 入出力	
			CLKO	O	システムクロック出力	
			COM5/SEG9	OA	LCD 共通信号出力/ LCD セグメント信号出力	
54	37	33	PB13	IOUS	ポート B ビット 13 入出力	
			SCL1	IO	I2C チャネル 1 SCL 入出力	
			SS10	I	SPI (USART) チャネル 0 スレーブ選択入力	
			COM6/SEG10	OA	LCD 共通信号出力/ LCD セグメント信号出力	
55	38	34	PB14	IOUS	ポート B ビット 14 入出力	
			SDA1	IO	I2C チャネル 1 SDA 入出力	
			LPDE0	O	LPUART チャネル 0 DE 信号出力	
			SCK10	IO	SPI クロック入出力	
			COM7/SEG11	OA	LCD 共通信号出力/ LCD セグメント信号出力	
56	39	35	PB15	IOUS	ポート B ビット 15 入出力	
			TXD10	O	UART (USART) チャネル 0 データ出力	
			LPTXD0	O	LPUART チャネル 0 データ出力	
			MOSI10	IO	SPI (USART) チャネル 0 マスタ出力、スレーブ入力	
			SEG12	OA	LCD セグメント信号出力	

表10. ピンの説明（続き）

ピン番号			ピン名	形式	説明	備考
100-LQFP	64-LQFP	56-QFN				
57	40	36	PC0	IOUS	ポート C ビット 0 入出力	
			RXD10	I	UART (USART) チャネル 0 データ入力	
			LPRXD0	I	LPUART チャネル 0 データ入力	
			MISO10	IO	SPI (USART) チャネル 0 マスタ入力、スレーブ出力	
			SEG13	OA	LCD セグメント信号出力	
58	–	–	PC1	IOUS	ポート C ビット 1 入出力	
			SCL0	IO	I2C チャネル 0 SCL 入出力	
			SS11	I	SPI (USART) チャネル 1 スレーブ選択入力	
			SEG14	OA	LCD セグメント信号出力	
59	41	–	PC2	IOUS	ポート C ビット 2 入出力	
			SDA0	IO	I2C チャネル 0 SDA 入出力	
			LPDE1	O	LPUART チャネル 1 DE 信号出力	
			SCK11	IO	SPI (USART) チャネル 1 クロック入出力	
			SEG15	OA	LCD セグメント信号出力	
			TDO/SWO*	O	JTAG TDO 出力、シリアルワイヤ出力	
60	42	–	PC3	IOUS	ポート C ビット 3 入出力	
			TXD11	O	UART (USART) チャネル 1 データ出力	
			LPTXD1	O	LPUART チャネル 1 データ出力	
			MOSI11	IO	SPI (USART) チャネル 1 マスタ出力、スレーブ入力	
			SEG16	OA	LCD セグメント信号出力	
			TDI*	I	JTAG TDI 入力	内部プルアップ有効化
61	43	37	PC4	IOUS	ポート C ビット 4 入出力	
			RXD11	I	UART (USART) チャネル 1 データ入力	
			LPRXD1	I	LPUART チャネル 1 データ入力	
			MISO11	IO	SPI (USART) チャネル 1 マスタ入力、スレーブ出力	
			SEG17	OA	LCD セグメント信号出力	
			nTRST*	I	JTAG nTRST 入力	内部プルアップ有効化
62	44	38	PC5	IOUS	ポート C ビット 5 入出力	
			RXD0	I	UART チャネル 0 RXD 入力	
			TCK/SWCLK*	I	JTAG TCK、SWD クロック入力	内部プルアップ有効化

表10. ピンの説明（続き）

ピン番号			ピン名	形式	説明	備考
100-LQFP	64-LQFP	56-QFN				
63	45	39	PC6	IOUS	ポート C ビット 6 入出力	
			TXD0	O	UART チャネル 0 TXD 出力	
			TMS/SWDIO *	I	JTAG TMS、SWD データ入出力	内部プルアップ有効化
64	–	–	PE4	IOUS	ポート E ビット 4 入出力	
			SS1	IO	SPI チャネル 1 選択信号入出力	
			T5IO	IO	Timer 5 入出力	
			SEG32	OA	LCD セグメント信号出力	
65	–	–	PE5	IOUS	ポート E ビット 5 入出力	
			SCK1	IO	SPI チャネル 1 クロック入出力	
			T6IO	IO	Timer 6 入出力	
			SEG33	OA	LCD セグメント信号出力	
66	–	–	PE6	IOUS	ポート E ビット 6 入出力	
			MOSI1	IO	SPI チャネル 1 マスタ出力・スレーブ入力信号	
			T7IO	IO	Timer 7 入出力	
			RXD0	I	UART チャネル 0 RXD 入力	
			SEG34	OA	LCD セグメント信号出力	
67	–	–	PE7	IOUS	ポート E ビット 7 入出力	
			MISO1	IO	SPI チャネル 1 マスタ入力、スレーブ出力	
			TXD0	O	UART チャネル 0 TXD 出力	
			SEG35	OA	LCD セグメント信号出力	
68	–	–	PE8	IOUS	ポート E ビット 8 入出力	
			SEG36	OA	LCD セグメント信号出力	
69	–	–	PE9	IOUS	ポート E ビット 9 入出力	
			T0IO	IO	Timer 0 入出力	
			AD0S	O	ADC0 変換開始	
			SS10	I	SPI (USART) チャネル 0 スレーブ選択入力	
			SEG37	OA	LCD セグメント信号出力	
70	–	–	PE10	IOUS	ポート E ビット 10 入出力	
			T1IO	IO	Timer 1 入出力	
			AD0E	O	ADC0 変換終了	
			SCK10	I/O	SPI (USART) チャネル 0 クロック入出力	
			SEG38	OA	LCD セグメント信号出力	

表10. ピンの説明（続き）

ピン番号			ピン名	形式	説明	備考
100-LQFP	64-LQFP	56-QFN				
71	–	–	PE11	IOUS	ポート E ビット 11 入出力	
			TXD10	O	UART (USART) チャネル 0 データ出力	
			T2IO	IO	Timer 2 入出力	
			AD1S	O	ADC1 変換開始	
			MOSI10	IO	SPI (USRAT) チャネル 0 マスタ出力、スレーブ入力	
			SEG39	OA	LCD セグメント信号出力	
72	–	–	PE12	IOUS	ポート E ビット 12 入出力	
			RXD10	I	UART (USART) チャネル 0 データ入力	
			T3IO	IO	Timer 3 入出力	
			AD1E	O	ADC1 変換終了	
			MISO10	IO	SPI (USART) チャネル 0 マスタ入力、スレーブ出力	
			SEG40	OA	LCD セグメント信号出力	
73	46	40	PC7	IOUS	ポート C ビット 7 入出力	
			RTCC_OUT	O	RTCC 出力	
			RTCC_TAMP1	I	RTCC タイムスタンプ入力 1	
			SEG18	OA	LCD セグメント信号出力	
74	47	41	VDD	P	VDD	
75	48	42	GND	P	GND	
76	49	–	PC8	IOUS	ポート C ビット 8 入出力	
			SCL1	IO	I2C チャネル 1 SCL 入出力	
			RTCC_TAMP2	I	RTCC タイムスタンプ入力 2	
			SS11	I	SPI (USART) チャネル 1 スレーブ選択入力	
			SEG19	OA	LCD セグメント信号出力	
77	50	43	PC9	IOUS	ポート C ビット 9 入出力	
			SDA1	IO	I2C チャネル 1 SDA 入出力	
			LPDE1	O	LPUART チャネル 1 DE 信号出力	
			SCK11	IO	SPI (USART) チャネル 1 クロック入出力	
			SEG20	OA	LCD セグメント信号出力	
78	51	–	PC10	IOUS	ポート C ビット 10 入出力	
			TXD11	O	UART (USART) チャネル 1 データ出力	
			T0IO	IO	Timer 0 入出力	
			LPTXD1	O	LPUART チャネル 1 データ出力	
			MOSI11	IO	SPI (USART) チャネル 1 マスタ出力、スレーブ入力	
			SEG21	OA	LCD セグメント信号出力	

表10. ピンの説明（続き）

ピン番号			ピン名	形式	説明	備考
100-LQFP	64-LQFP	56-QFN				
79	52	–	PC11	IOUS	ポート C ビット 11 入出力	
			RXD11	I	UART (USART) チャネル 1 データ入力	
			T1IO	IO	Timer 1 入出力	
			LPRXD1	I	LPUART チャネル 1 データ入力	
			MISO11	IO	SPI (USRAT) チャネル 1 マスタ入力、スレーブ出力	
			SEG22	OA	LCD セグメント信号出力	
80	–	–	PE13	IOUS	ポート E ビット 13 入出力	
			T2IO	IO	Timer 2 入出力	
			SEG41	OA	LCD セグメント信号出力	
81	–	–	PE14	IOUS	ポート E ビット 14 入出力	
			T3IO	IO	Timer 3 入出力	
			SEG42	OA	LCD セグメント信号出力	
82	–	–	PE15	IOUS	ポート E ビット 15 入出力	
			T4IO	IO	Timer 4 入出力	
			SEG43	OA	LCD セグメント信号出力	
83	53	44	PC12	IOUS	ポート C ビット 12 入出力	
			nRESET	I	外部リセット入力	内部プルアップ有効化
84	54	45	PC13	IOUS	ポート C ビット 13 入出力	
			nBOOT	I	ブートモード選択入力	内部プルアップ有効化
85	–	–	PF0	IOUS	ポート F ビット 0 入出力	
			SCL0	IO	I2C チャネル 0 SCL 入出力	
			CLKO	O	システムクロック出力	
86	–	–	PF1	IOUS	ポート F ビット 1 入出力	
			SDA0	IO	I2C チャネル 0 SDA 入出力	
			T0IO	IO	Timer 0 入出力	
87	–	–	PF2	IOUS	ポート F ビット 2 入出力	
			SS0	I	SPI チャネル 0 スレーブ選択入力	
			T1IO	IO	Timer 1 入出力	
88	–	–	PF3	IOUS	ポート F ビット 3 入出力	
			SCK0	I/O	SPI チャネル 0 クロック入出力	
			T2IO	IO	Timer 2 入出力	
			LPDE0	O	LPUART チャネル 0 DE 信号出力	

表10. ピンの説明（続き）

ピン番号			ピン名	形式	説明	備考
100-LQFP	64-LQFP	56-QFN				
89	–	–	PF4	IOUS	ポート F ビット 4 入出力	
			MOSI0	IO	SPI チャネル 0 マスタ出力、スレーブ入力	
			T3IO	IO	Timer 3 入出力	
			LPTXD0	O	LPUART チャネル 0 データ出力	
90	–	–	PF5	IOUS	ポート F ビット 5 入出力	
			MISO0	IO	SPI チャネル 0 マスタ入力、スレーブ出力	
			LPRXD0	I	LPUART チャネル 0 データ入力	
91	55	46	PC14	IOUS	ポート C ビット 14 入出力	
			USBDP	IO	USB データライン+ （プラス）	
92	56	47	PC15	IOUS	ポート C ビット 15 入出力	
			USBDM	IO	USB データライン- (マイナス)	
93	57	48	PD0	IOUS	ポート D ビット 0 入出力	
			SOF	I	HSICMU 外部ピン	
			RXD0	I	UART チャネル 0 RXD 入力	
94	58	49	PD1	IOUS	ポート D ビット 1 入出力	
			TXD0	O	UART チャネル 0 TXD 出力	
95	59	50	PD2	IOUS	ポート D ビット 2 入出力	
			XOUT	OA	外部水晶オシレータ出力	
96	60	51	PD3	IOUS	ポート D ビット 3 入出力	
			XIN	IA	外部水晶オシレータ入力	
97	61	52	PD4	IOUS	ポート D ビット 4 入出力	
			SS1	IO	SPI チャネル 1 選択信号入出力	
			SXIN	IA	サブ水晶オシレータ入力	
98	62	53	PD5	IOUS	ポート D ビット 5 入出力	
			SCK1	IO	SPI チャネル 1 クロック入出力	
			SXOUT	OA	サブ水晶オシレータ出力	
99	63	54	VDD	P	VDD	
100	64	55	GND	P	GND	

2.3 兼用機能ピン

GPIOピンは表11に示すように兼用機能を備えています。

表11. GPIOの兼用機能

ピン名	兼用機能						
	AF0	AF1	AF2	AF3	AF4	AF5	AF7
PA0	PA0	MOSI1					AN0*
PA1	PA1	MISO1					AN1/AIP0*
PA2	PA2						AN2/AIN0*
PA3	PA3						AN3/AO0*
PA4	PA4						AN4/AIP1*
PA5	PA5						AN5/AIN1*
PA6	PA6						AN6/AO1*
PA7	PA7						AN7/DAO0*
PA8	PA8						AN8/DAO1*
PA9	PA9					SEG0	AN9*
PA10	PA10					SEG1	AN10*
PA11	PA11					SEG2	AN11*
PA12	PA12	SCL1				SEG3	AN12*
PA13	PA13	SDA1				SEG4	AN13*
PA14	PA14	SS0	T6IO	WDTO		SEG5	AN14*
PA15	PA15	SCK0		RXD0		SEG6	AN15*
PB0	PB0	MOSI0		TXD0		SEG7	AN16*
PB1	PB1	MISO0				COM0	*
PB2	PB2	SCL0				COM1	*
PB3	PB3	SDA0				COM2	*
PB4	PB4					COM3	*
PB5	PB5					CAPH	*
PB6	PB6					CAPL	*
PB7	PB7					VLC3	*
PB8	PB8					VLC2	*
PB9	PB9					VLC1	*
PB10	PB10					VLC0	*
PB11	PB11		T7IO	STBYO		COM4/SEG8	*
PB12	PB12			CLKO		COM5/SEG9	*
PB13	PB13	SCL1			SS10	COM6/SEG10	*
PB14	PB14	SDA1		LPDE0	SCK10	COM7/SEG11	*
PB15	PB15	TXD10		LPTXD0	MOSI10	SEG12	*

表11. GPIOの兼用機能（続き）

ピン名	兼用機能						
	AF0	AF1	AF2	AF3	AF4	AF5	AF7
PC0	PC0	RXD10		LPRXD0	MISO10	SEG13	*
PC1	PC1	SCL0			SS11	SEG14	*
PC2	PC2	SDA0	TDO/SWO*	LPDE1	SCK11	SEG15	
PC3	PC3	TXD11	TDI*	LPTXD1	MOSI11	SEG16	
PC4	PC4	RXD11	nTRST*	LPRXD1	MISO11	SEG17	
PC5	PC5	RXD0	TCK/SWCLK*				
PC6	PC6	TXD0	TMS/SWDIO*				
PC7	PC7		RTCC_OUT	RTCC_TAMP1		SEG18	*
PC8	PC8	SCL1		RTCC_TAMP2	SS11	SEG19	*
PC9	PC9	SDA1		LPDE1	SCK11	SEG20	*
PC10	PC10	TXD11	T0IO	LPTXD1	MOSI11	SEG21	*
PC11	PC11	RXD11	T1IO	LPRXD1	MISO11	SEG22	*
PC12	PC12		nRESET*				
PC13	PC13		nBOOT*				
PC14	PC14				USBDP		*
PC15	PC15				USBDM		*
PD0	PD0	SOF		RXD0			*
PD1	PD1			TXD0			*
PD2	PD2						XOUT*
PD3	PD3						XIN*
PD4	PD4	SS1					SXIN*
PD5	PD5	SCK1					SXOUT*
PD6	PD6						AN17*
PD7	PD7						AN18*
PD8	PD8						AN19*
PD9	PD9						AN20*
PD10	PD10						AN21*
PD11	PD11					SEG23	AN22*
PD12	PD12					SEG24	AN23*
PD13	PD13					SEG25	*
PD14	PD14					SEG26	*
PD15	PD15					SEG27	*

表11. GPIOの兼用機能（続き）

ピン名	兼用機能						
	AF0	AF1	AF2	AF3	AF4	AF5	AF7
PE0	PE0					SEG28	*
PE1	PE1		T5IO			SEG29	*
PE2	PE2					SEG30	*
PE3	PE3					SEG31	*
PE4	PE4	SS1	T5IO			SEG32	*
PE5	PE5	SCK1	T6IO			SEG33	*
PE6	PE6	MOSI1	T7IO	RXD0		SEG34	*
PE7	PE7	MISO1		TXD0		SEG35	*
PE8	PE8					SEG36	*
PE9	PE9		T0IO	AD0S	SS10	SEG37	*
PE10	PE10		T1IO	AD0E	SCK10	SEG38	*
PE11	PE11	TXD10	T2IO	AD1S	MOSI10	SEG39	*
PE12	PE12	RXD10	T3IO	AD1E	MISO10	SEG40	*
PE13	PE13		T2IO			SEG41	*
PE14	PE14		T3IO			SEG42	*
PE15	PE15		T4IO			SEG43	*
PF0	PF0	SCL0		CLKO			*
PF1	PF1	SDA0	T0IO				*
PF2	PF2	SS0	T1IO				*
PF3	PF3	SCK0	T2IO	LPDE0			*
PF4	PF4	MOSI0	T3IO	LPTXD0			*
PF5	PF5	MISO0		LPRXD0			*

3. 電気的特性

3.1 パラメータ条件

特に指定がない限り、全ての電圧はGNDを基準としています。

3.1.1 最小値および最大値

特に指定がない限り、当社の量産試験では周囲温度、電源電圧および周波数のワーストケース条件下でデバイスの最小値および最大値を保証します。

特性評価結果、設計シミュレーション、または技術特性に基づくデータは量産試験で確認されていませんが、表の脚注に記載されています。

3.1.2 標準値（Typical Value）

特に指定がない限り、通常データ（normal data）はTA = 25 °C およびV_{DD} = AV_{DD} = 3.3 V。 通常データは設計上の参考値として提供されるものであり、試験は実施されていません。

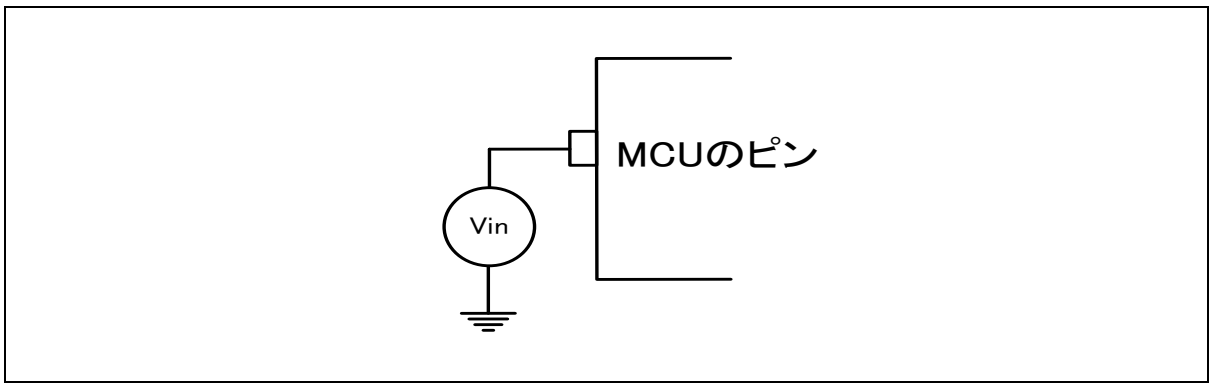
3.1.3 標準特性曲線（Typical Curves）

特に指定がない限り、全ての通常特性曲線は設計上の参考値として提供されるものであり、試験は実施されていません。

3.1.4 ピン入力電圧

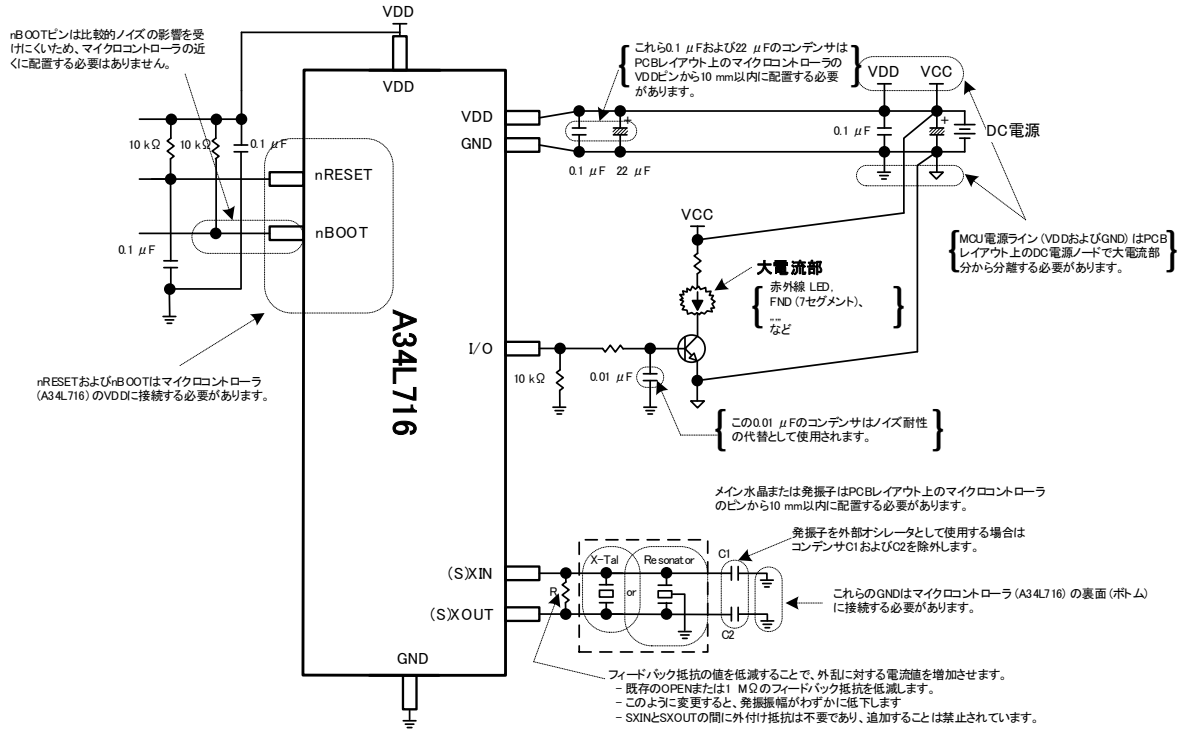
デバイスのピンでの入力電圧測定は図6に示されています。

図6. ピンの入力電圧



3.1.5 電源構成

図7. 電源の構成

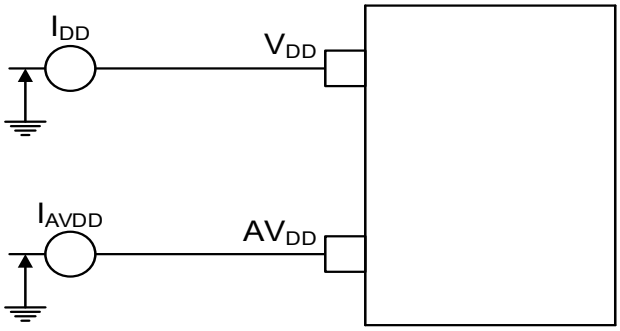


注:

1. 上記のように、各電源ペア（V_{DD}・GNDなど）はフィルタリング用のセラミックコンデンサでデカップリングしなければなりません。これらのコンデンサはデバイスの良好な動作を確保するため、PCB裏面の適切なピンのできるだけ近く、またはピンの下に配置する必要があります。

3.1.6 消費電流測定

図8. 消費電流測定



注:

1. IDD_ALLパラメータはV_{DD} およびAV_{DD}に供給される電流を含むマイクロコントローラの総消費電流を表します。

3.2 絶対最大定格

電圧特性については表12に、電流特性については表13に、熱特性については表14に示されているストレスを超えると、デバイスに恒久的な損傷が生じる恐れがあります。
これはあくまでストレス定格であり、本仕様書の動作リストに示されている条件、またはそれを超えるその他の条件下におけるデバイスの正常な動作を保証するものではありません。
最大定格を超える条件下に長時間さらされると、デバイスの信頼性に影響を与える可能性があります。

表12. 電圧特性

記号	説明	Min.	Max.	単位
V_{DD}–GND	外部メイン電源電圧（V_{DD}、AV_{DD}を含む）	−0.3	4.2	V
V_I[2]	I/O での入力電圧	−0.5	最大（V_{DD}、AV_{DD}）+ 0.5	V
V_O	I/O での出力電圧	−0.5	最大（V_{DD}、AV_{DD}）+ 0.5	V

注:

1. 全ての主電源（V_{DD}、AV_{DD}）およびグランド（GND、AGND）ピンは許容範囲内で常に外部電源に接続する必要があります。
2. V_Iの最大値は常に遵守する必要があります。

表13. 電流特性

記号	説明	Max.	単位
ΣI_{VDD}	全ての V_{DD} 電源ラインの合計に流入する総電流（ソース）[1]	120	mA
ΣI_{GND}	全ての GND グランドラインの合計から流出する総電流（シンク）[1]	120	mA
$I_{VDD(PIN)}$	各 V_{DD} 電源ピンに流入する最大電流（ソース）[1]	100	mA
$I_{GND(PIN)}$	各 GND グランドピンから流出する最大電流（シンク）[1]	−100	mA
$I_{IO(PIN)}$	任意の I/O ピンによる出力シンク電流	8	mA
	任意の I/O ピンおよび制御ピンによる出力ソース電流	−8	mA
$\Sigma I_{IO(PIN)}$	全ての I/O ピンおよび制御ピンの合計による出力シンク電流[2]	120	mA
	全ての I/O ピンおよび制御ピンの合計による出力ソース電流[2]	−120	mA
I_{IH}	入力 Low リーク電流	1	μA
I_{IL}	入力 High リーク電流	1	μA
P_T	総消費電力	400	mW

注:

1. 全ての主電源（V_{DD}、AV_{DD}）およびグランド（GND、AGND）ピンは許容範囲内で常に外部電源に接続する必要があります。
2. この電流消費は全てのI/Oおよび制御ピンに正しく分配する必要があります。 総出力電流はピン数の多いLQFPパッケージにおいて、連続する2つの電源ピン間でシンク・ソースしてはなりません。

表14. 熱特性

記号	説明	範囲	単位
T_{STG}	保存温度範囲	−55 ～ +125	°C
T_J	最大接合部温度	+105	°C

3.3 動作条件

3.3.1 一般動作条件

表15. 一般動作条件

（温度：−40°C ～ +85°C）

パラメータ	記号	条件	Min.	Typ.	Max.	単位
電源電圧	V_{DD}	−	1.8	−	3.6	V
アナログ電源電圧	AV_{DD}(2)	ADC 使用	1.8	−	3.6	V
		DAC 使用	1.8	−	3.6	V
		OPAMP 使用	1.8	−	3.6	V
		VREFBUF 使用	2.4	−	3.6	V
		ADC、OPAMP、DAC、VREFBUF 未使用	1.8	−	3.6	V
動作周波数	FREQ	HSE	1	−	16	MHz
		LSE	−	32.768	−	kHz
		HIS	31.52	32	32.48	MHz
		LSI40 kHz	28	40	52	kHz
I/O 入力電圧	V_{IN}	3.3 V I/O	−0.3	−	V_{DD}	V
周囲温度	T_A	−	−40	−	85	°C
接合部温度範囲	T_J	−	−	−	105	°C

注:

1. リセット（RESET）が解除されると、VLVR0のMin（最小値）まで機能が保証されます。
2. AV_{DD}は例外なく常にV_{DD}と全く同じ電圧レベルで供給されなければならない。（AV_{DD} = V_{DD}）

3.3.2 パワーオンリセット（POR）の特徴

表16. POR電気的特性

（温度：−40°C ～ +85°C）

パラメータ	記号	条件	Min.	Typ.	Max.	単位
POR設定レベル	V_{set}	−	1.3	1.4	1.5	V
V_{DD}電圧の立ち上がり時間	t_R	−	0.02	−	20	ms/V
V_{DD}電圧の立ち下がり時間	t_F	−	0.4	−	20	ms/V
PORリセットレベル	V_{reset}	−	1.00	1.2	1.4	V

3.3.3 パワーアップ・パワーダウン時の動作条件

表17のパラメータは表15に規定されている周囲温度条件下で実施された試験から導出されたものです。

表17. パワーアップ・パワーダウン時の動作条件

（温度：−40°C ～ +85°C）

パラメータ	記号	条件	Min.	Max.	単位
V_{DD} 立ち上がり時間（レート）	T_{VDD}	−	0.02	20	ms/V
V_{DD} 立ち下がり時間（レート）		−	0.4	20	ms/V

3.3.4 内蔵リセットおよび電源制御ブロックの特性（LVR、LVI）

表18および表19のパラメータは表15に規定されている周囲温度条件下で実施された試験から導出されたものです。

表18. 低電圧リセットの特性

（温度：−40°C ～ +85°C）

パラメータ	記号	条件	Min.	Typ.	Max.	単位
LVRおよびLVD V_{DD}からの消費	I_{DD} （LVR_LVI）	−		1	2	μA
立ち上がり電圧検出レベル	V_{LVR0_R}	−	1.57	1.68	1.79	V
	V_{LVR1_R}	−	1.93	2.08	2.23	
	V_{LVR2_R}	−	2.19	2.36	2.53	
	V_{LVR3_R}	−	2.49	2.69	2.89	
	V_{LVR4_R}	−	2.7	2.92	3.14	
立ち下がり電圧検出レベル	V_{LVR0_F}	−	1.47	1.58	1.69	V
	V_{LVR1_F}	−	1.81	1.96	2.11	
	V_{LVR2_F}	−	2.06	2.23	2.4	
	V_{LVR3_F}	−	2.34	2.54	2.74	
	V_{LVR4_F}	−	2.53	2.75	2.97	
ヒステリシス	−	−	50	100	150	mV
ノイズキャンセリング時間	−	−	−	2	−	μs

表19. 低電圧インジケータの特性

（温度：−40°C ～ +85°C）

パラメータ	記号	条件	Min.	Typ.	Max.	単位
立ち上がり電圧検出レベル	V_{LVI0_R}	−	2.00	2.12	2.24	V
	V_{LVI1_R}	−	2.16	2.29	2.42	
	V_{LVI2_R}	−	2.31	2.45	2.59	
	V_{LVI3_R}	−	2.45	2.60	2.75	
	V_{LVI4_R}	−	2.58	2.73	2.88	
	V_{LVI5_R}	−	2.73	2.90	3.06	
	V_{LVI6_R}	−	2.80	2.97	3.14	
立ち下がり電圧検出レベル	V_{LVI0_F}	−	1.96	2.07	2.15	V
	V_{LVI1_F}	−	2.12	2.24	2.32	
	V_{LVI2_F}	−	2.27	2.40	2.49	
	V_{LVI3_F}	−	2.40	2.54	2.64	
	V_{LVI4_F}	−	2.53	2.67	2.77	
	V_{LVI5_F}	−	2.70	2.85	2.96	
	V_{LVI6_F}	−	2.74	2.90	3.00	
ヒステリシス	−	−	20	50	150	mV
ノイズキャンセリング時間	−	−	−	2	−	μs

3.3.5 内蔵電圧リファレンス

表20. 内蔵電圧リファレンス

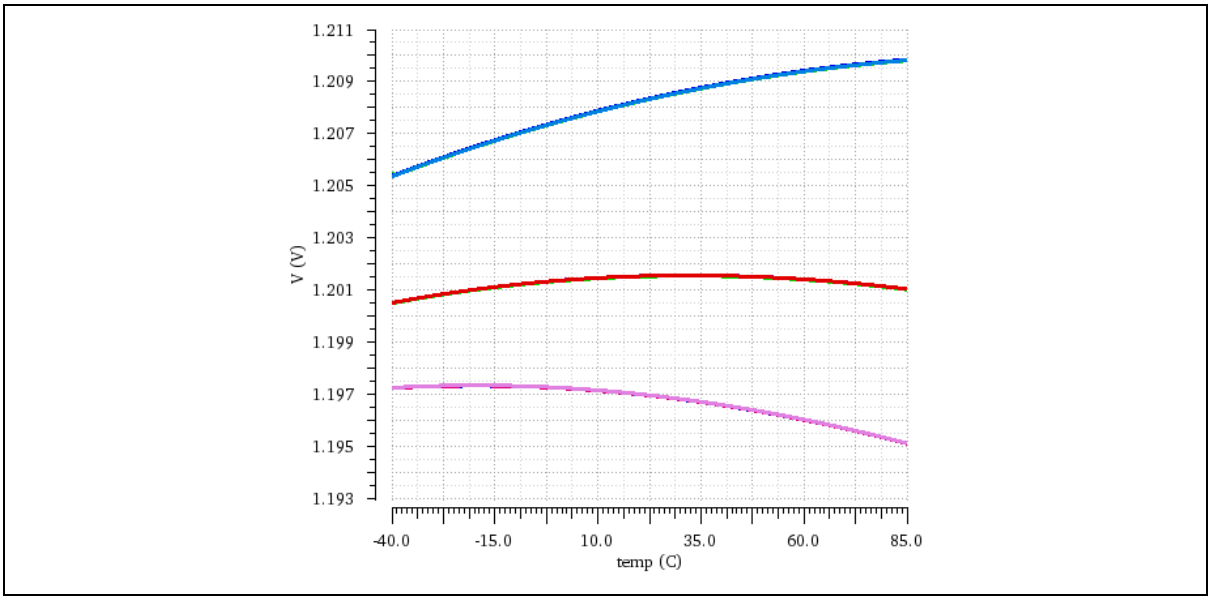
（温度：−40°C ～ +85°C）

パラメータ	記号	条件	Min.	Typ.	Max.	単位
アナログ電源電圧	AV_{DD}(3)	VREF_SEL = 0	2.4	–	3.6	V
		VREF_SEL = 1	2.8	–	3.6	
電圧リファレンス出力	V_{REFBUF_OUT}	VREF_SEL = 0	1.96	2	2.04	
		VREF_SEL = 1	2.45	2.5	2.55	
内部基準（リファレンス）電圧	V_{REFINT}	$-40°C < T_A < +85°C$	1.182	1.2	1.218	V
V_{DD} からの V_{REFINT} バッファ消費電流 ADC による変換の場合	I_{DD} ($V_{REFINTBUF}$)	–	–	12.5	20	μA
温度範囲にわたる 内部基準電圧のばらつき	ΔV_{REFINT}	AV_{DD} = 3 V	–	5	7.5	mV
V_{REFINT} 温度係数	T_{Coeff}	$-40°C < T_A < +85°C$	–	16	50	ppm/°C
平均電圧係数	$V_{DDCoeff}$	3.0 V < V_{DD} < 3.6 V	–	250	1200	ppm/V
負荷コンデンサ	C_L	–	0.5	1	1.5	μF
C_L の等価直列抵抗	ESR	–	–	–	2	Ω
V_{REFBUF_OUT} の起動時間	t_{START}	内部モード	–	–	2	ms
		バイパスモード	–	–	2.5	
V_{REFBUF_OUT} の電圧係数	T_{Coeff}	–	–	–	100	ppm/°C

注:

1. アプリケーションにおいて複数回の反復により最短のサンプリング時間が決定されます。
2. 設計により保証されています。
3. AV_{DD}は例外なく常にV_{DD}と全く同じ電圧レベルで供給されなければならない。（AV_{DD} = V_{DD}）

図9. VREFINT対温度（−40°C ～ 85°C）



3.3.6 電流特性

消費電流は動作電圧、周囲温度、I/Oピン負荷、デバイスのソフトウェア設定、動作周波数、I/Oピンのスイッチング速度、メモリ内のプログラム配置および実行されたバイナリコードなどの複数のパラメータおよび要因に依存します。

消費電流は表21に示されているように測定されます。

3.3.6.1 消費電流

表21. 動作モードによる消費電流

(温度: −40°C ～ +85°C)

パラメータ	記号	条件					電圧	Typ.	Max.	単位
		LSI (40 kHz)	HSI (32 MHz)	HSE (8 MHz)	LSE (32.768 kHz)	f_{MCLK}				
通常動作 (1)	I_{DD} (RUN)	STOP	RUN	STOP	STOP	f_{HSI}	3 V	7.9	−	mA
		STOP	STOP	RUN	STOP	f_{HSE}	3 V	3.3	−	
		STOP	STOP	STOP	RUN	f_{LSE}	3 V	169	−	μA
		STOP	STOP	RUN	STOP	f_{PLL}	3 V	7.9	−	mA
SLEEP(1)	I_{DD} (SLEEP)	STOP	RUN	STOP	STOP	f_{HSI}	3 V	3.3	−	
		STOP	STOP	RUN	STOP	f_{HSE}	3 V	1.1	−	
		STOP	STOP	STOP	RUN	f_{LSE}	3 V	160	−	μA
		STOP	STOP	RUN	STOP	f_{PLL}	3 V	3.4	−	mA
DEEP−SLEEP(1)	I_{DD} (STOP 1)	VDC=STOP、RTCC(LSE)=ON					3 V	1.79	−	μA
		VDC=STOP、RTCC(LSI)=ON					3 V	1.79	−	
DEEP−SLEEP(1)	I_{DD} (STOP 2)	VDC=STOP、LVD=ON					3 V	1.6	−	
		VDC=STOP、LVD=OFF					3 V	1.4	−	

注:

1. 全てのペリフェラルはオフ状態です。

3.3.6.2 I/Oシステムの電流消費

I/Oシステムの消費電流は、静的（Static）および動的（Dynamic）の2つの要素に分類されます。

3.3.6.3 I/Oの静的消費電流

プルアップ付きの入力として設定された全てのI/Oピンが外部からLowレベルに保持されると、消費電流が発生します。 この消費電流はI/Oポート特性で提供されるプルアップ・プルダウン抵抗の値を使用して簡単に計算できます。

出力ピンの消費電流を推定するには、外部プルダウンまたは外部負荷も考慮する必要があります。

I/Oが入力として設定されている場合に中間電圧レベルが外部から印加されると、追加のI/O消費電流が発生する可能性があります。 この電流は入力値を検出するために使用される入力シュミットトリガ回路によって消費されます。 アプリケーションで特別な構成が要求されない限り、シュミット回路を使用する代わりにI/Oをアナログモードで設定することで、この電源の電流消費を防ぐことができます。 具体的にはADC、OPAMPおよびDACの入力ピンをアナログ入力として設定する必要があります。

3.3.6.4 I/Oの動的消費電流

アプリケーションで使用されるI/Oも消費電流に影響を与えます。 I/Oピンが切り替わると、I/O電源電圧からの電流を使用してI/Oピン回路に電力を供給し、ピンに接続された容量負荷（内部または外部）を充放電します。

3.3.7 外部クロックソースの特性

3.3.7.1 水晶・セラミック発振子から生成される高速外部クロック

高速外部クロック（HSE)は1～16 MHz範囲の水晶・セラミック発振子オシレータを使用して供給できます。 本セクションで提供する全ての情報は表22に規定されている標準的な外付け部品により得られた設計シミュレーション結果に基づくものです。

周辺の影響を最大限に抑えるため、発振子と負荷コンデンサをオシレータピンのできるだけ近くに配置する必要があります。

歪みと安定化時間および発振子特性（周波数、パッケージおよび精度など）の詳細な情報については、水晶発振子のメーカーにお問い合わせください。

表22. HSEオシレータの特性(1)

（温度：−40°C ～ +85°C）

パラメータ	記号	条件(2)	Min.	Typ.	Max.	単位
HSE消費電流	$I_{DD(HSE)}$	−	−	−	2.5	mA
オシレータ周波数	f_{OSC_IN}	−	1	8	16	MHz
出力周波数	f_{OUT}	V_{DD} ≥ 1.8 V(4)	1	−	4	MHz
		V_{DD} ≥ 2.0 V(5)	1	−	8	
		V_{DD} ≥ 2.2 V(6)	1	−	12	
		V_{DD} ≥ 2.4 V(7)	1	−	16	
水晶入力（Low）	V_{IL}	−	−	−	0.2 V_{DD}	V
水晶入力（High）	V_{IH}	−	0.8 V_{DD}	−	−	V
水晶出力（Low）	V_{OL}	−	−	−	0.2 V_{DD}	V
水晶出力（High）	V_{OH}	−	0.8 V_{DD}	−	−	V
外部負荷コンデンサ	C_L	1 MHz < f_{OUT} < 4 MHz	18	30	35	pF
		4 MHz < f_{OUT} < 12 MHz	10	22	30	pF
		12 MHz < f_{OUT} < 16 MHz	7	18	22	pF
フィードバック抵抗	R_F	−	0.7	1.0	1.3	MΩ
起動時間	$t_{SU(HSE)}$(3)	−	−	1	−	ms

注:

1. 設計により保証されています。
2. 発振子の特性は水晶・セラミック発振子のメーカーによって提供されます。
3. $t_{SU(HSE)}$は有効化（ソフトウェアにより）された時点から安定した8 MHzの発振に達するまでの起動時間です。 この値は標準的な水晶発振子に対して測定されたものであり、水晶のメーカーによって大きく異なる場合があります。
4. HSEISEL = 0x3、HSENFSEL = 0x0。
5. HSEISEL = 0x3、HSENFSEL = 0x1。
6. HSEISEL = 0x2、HSENFSEL = 0x2。
7. HSEISEL = 0x1、HSENFSEL =0x2。

図10. 水晶・セラミックオシレータ

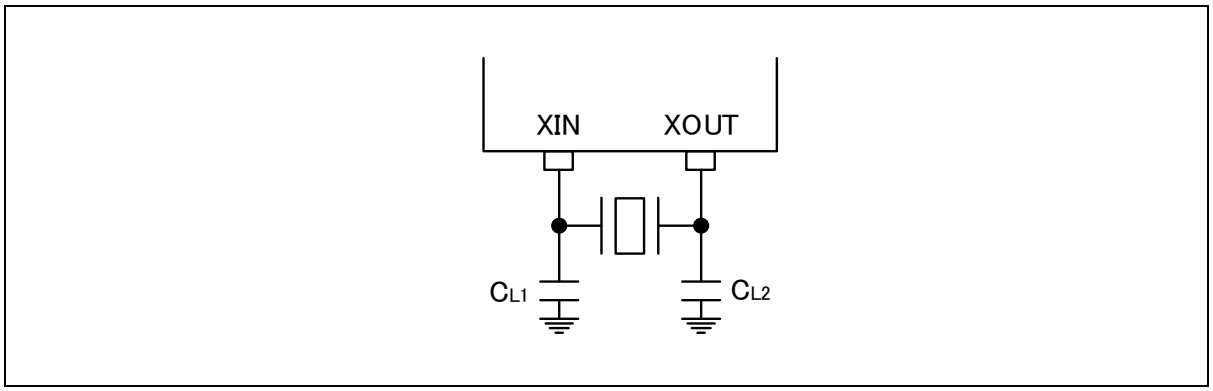


図11. 外部クロック

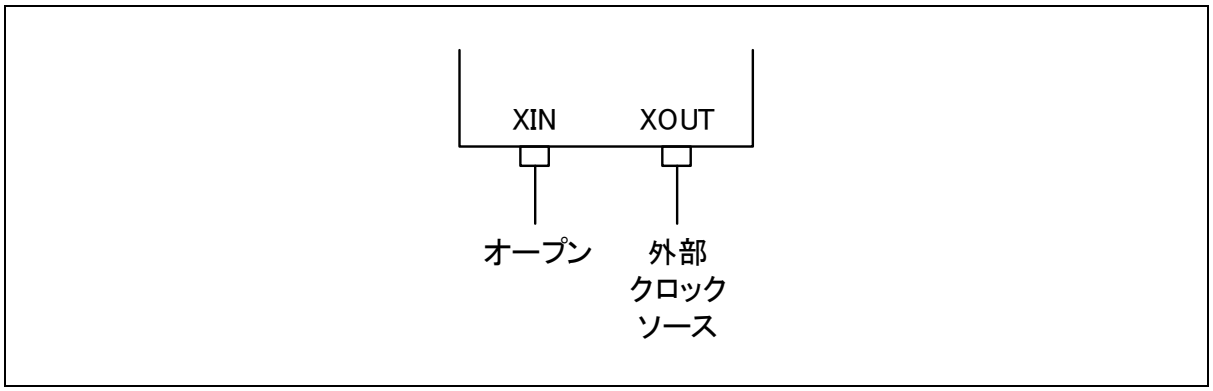
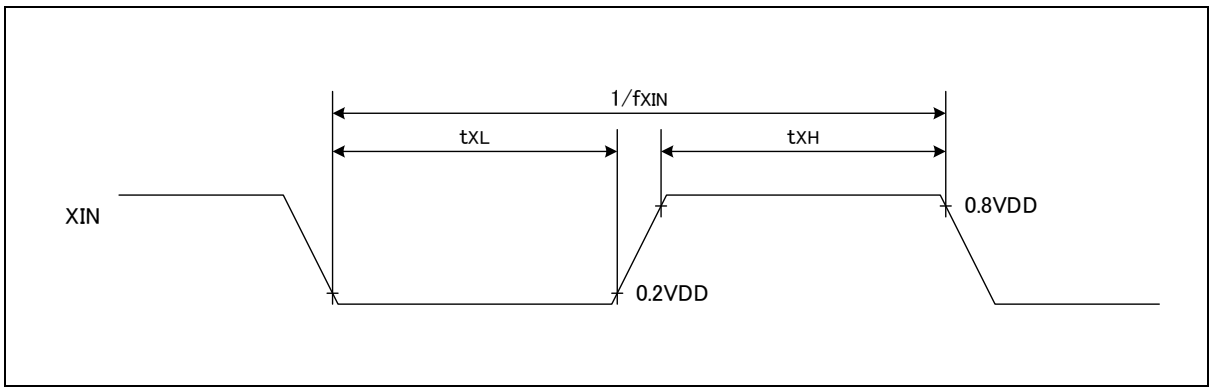


図12. XINにおけるクロックタイミング測定

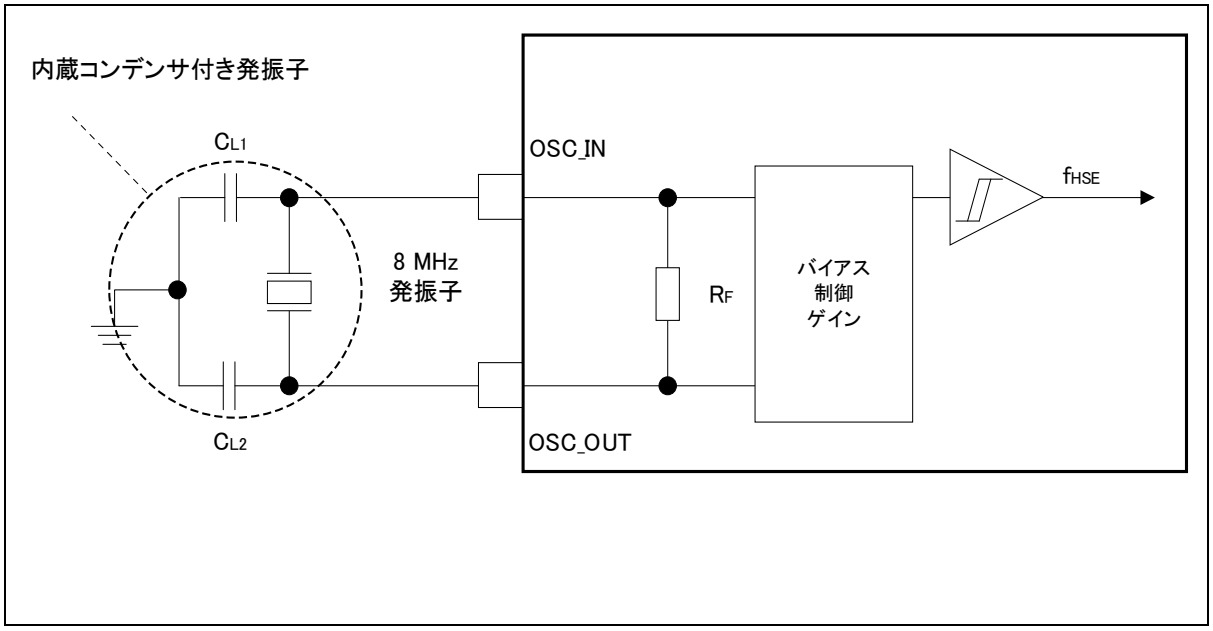


高周波アプリケーション向けに設計され、水晶または発振子の要件に合わせて選択された高品質の外部セラミックコンデンサの使用を推奨します。

C_{L1}およびC_{L2}コンデンサは通常同じサイズです。 水晶発振子メーカーは通常、C_{L1}およびC_{L2}の直列組み合わせである負荷容量を規定します。 C_{L1}およびC_{L2}のサイズを調整する際はプリント回路基板（PCB）とマイクロコントローラのピン容量を合わせて考慮する必要があります。（10 pFはピンおよび基板容量の合算値の概算値として使用可能。）

図13は8 MHz水晶を使用した標準的なアプリケーションの回路図を示します。

図13. 8 MHz水晶を使用した標準的なアプリケーション



3.3.7.2 水晶発振子から生成される低速外部クロック

低速外部（LSE）クロックは32.768 kHzの水晶発振子オシレータを使用して供給できます。 本セクションで提供する全ての情報は表23に規定されている標準的な外付け部品により得られた設計シミュレーション結果に基づくものです。

アプリケーションにおける出力歪みと起動時の安定化時間を最小限に抑えるため、発振子と負荷コンデンサをオシレータピンのできるだけ近くに配置する必要があります。

歪みと安定化時間および発振子特性（周波数、パッケージおよび精度など）の詳細な情報については、水晶発振子のメーカーにお問い合わせください。

表23. LSEオシレータの特性（f_{LSE} = 32.768 kHz)(1)

（温度：−40°C ～ +85°C）

パラメータ	記号	条件(2)	Min.	Typ.	Max.	単位
LSE消費電流	$I_{DD(LSE)}$	−	−	0.3	1	μA
オシレータ周波数	f_{OSC_IN}	−	−	32.768	−	kHz
外部 負荷コンデンサ	C_L	−	5	10	15	pF
フィードバック抵抗	R_F	−	5	18	40	MΩ
起動時間	$t_{SU(LSE)}$(2)	−	−	1	−	s

注:

1. 設計により保証されています。
2. $t_{SU(LSE)}$は有効化（ソフトウェアにより）された時点から安定した32.768 kHzの発振に達するまでの起動時間です。 この値は標準的な水晶発振子に対して測定されたものであり、水晶のメーカーによって大きく異なる場合があります。

図14. 水晶オシレータ

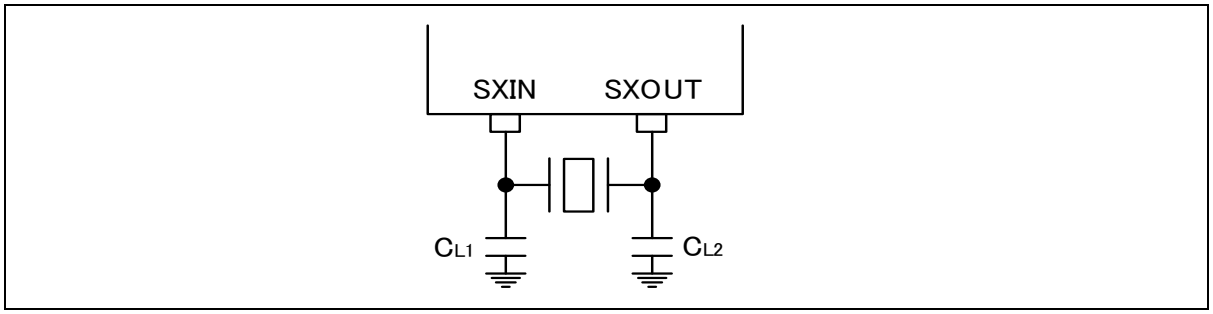
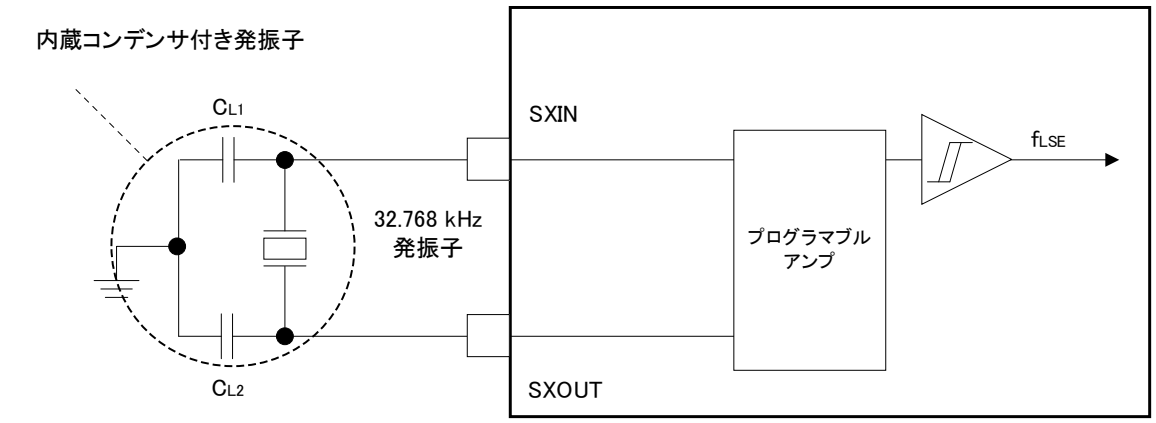


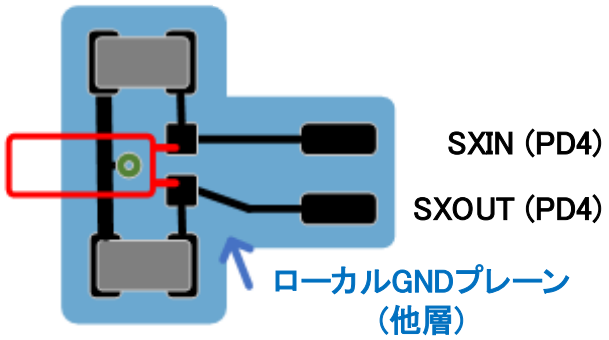
図15. 32.768 kHz水晶を使用した標準的なアプリケーション



注:

1. SXINとSXOUT間に外部抵抗は不要であり、追加することは禁止されています。

図16. LSEのPCB設計上の注意



3.3.8 内部クロックソースの特性

表24および表25に示されているパラメータは表15に規定されている周囲温度および電源電圧条件下で実施された試験から導出されたものです。 本セクションで提供される波形は特性評価結果であり、量産時には試験されていません。

3.3.8.1 高速内部（HSI32）RCオシレータ

表24. HSI32 オシレータの特性(1)

（温度：−40°C ～ +85°C）

記号	パラメータ	条件	Min.	Typ.	Max.	単位
f_{HSI32}	HSI32の周波数	V_{DD} = 3.0 V、T_A = 30°C	31.52	32	32.48	MHz
f_E	周波数エラー	TA = −40°C ～ + 85°C (HSICMU ON、SYNCSRC[1:0] = 10 (SOSC))(2)	−0.5	−	0.5	%
		TA = −10°C ～ + 70°C (HSICMU OFF)	−3	−	3	
		TA = −20°C ～ + 85°C (HSICMU OFF)	−5	−	5	
$t_{stab(HSI32)}$	HSI32オシレータの安定化時間	−	−	−	30	μs
$I_{DD(HSI32)}$	HSI32の消費電力	−	−	300	350	μA

注:

1. 特性評価結果と設計により保証されています。
2. HSICMU ON状態におけるf_E（周波数エラー）値にはサブ水晶の偏差（32.768 kHz）は含まれません。
3. −40℃～85℃の温度範囲において±0.5%の仕様要件を満たすには、HSICMUを有効化にする必要があります。
4. HSICMUの設定に関する詳細な情報は、A34L716ユーザーズマニュアルを参照してください。

3.3.8.2 低速内部（LSI）40 kHz RCオシレータ

表25. LSIオシレータの特性

（温度：−40°C ～ +85°C）

記号	パラメータ	条件	Min.	Typ.	Max.	単位
f_{OUT}	出力周波数	トリム後	28	40	52	kHz
t_{STAB}(1)	40 kHzオシレータの安定化時間（LSI40Kの有効化後）	最終周波数の5 %	−	30	250	μs
I_{LSI}(1)	40 kHzオシレータの消費電力	有効化	−	150	250	nA
		無効化	−	2	40	

注:

1. 設計により保証されています。

3.3.9 PLLの特性

表26に示されているパラメータは表15に規定されている周囲温度および電源電圧条件下で実施された試験から導出されたものです。

表26. PLLの特性(1)

(温度: −40°C ～ +85°C)

記号	パラメータ	条件	Min.	Typ.	Max.	単位
$I_{DD(PLL)}$	動作電流	−	−	1	−	mA
f_{OUT}	出力周波数	−	1	−	48	MHz
f_{VCO}	VCO周波数	−	60	−	192	MHz
f_{DUTY}	Duty	−	40	−	60	%
$f_{PLLINCLK}$	入力周波数	−	2	8	16	MHz
t_{JITTER}	RMS周期ジッタ		−	−	500	ps
t_{LOCK}	ロック時間	−	−	100	−	μs

注:

1. 設計により保証されています。

3.3.10 フラッシュメモリの特性

表27. コードフラッシュメモリの特性

(温度: −40°C ～ +85°C)

記号	パラメータ	条件	Min.	Typ.	Max.	単位
t_{PROG}	プログラム時間	−	−	25	−	μs
t_{SER}	ページイレース（消去）時間	−	−	2	−	ms
t_{MER}	マクロイレース（消去）時間	−	−	8	−	ms
N_{FWE}	書き込み・イレースの耐久性	T_A = 25°C、ページ単位	10,000	−	−	回
t_{FRT}	保持時間	−	10	−	−	年

表28. データフラッシュメモリの特性

(温度: −40°C ～ +85°C)

記号	パラメータ	条件	Min.	Typ.	Max.	単位
t_{PROG}	プログラム時間	−	−	25	−	μs
t_{SER}	ページイレース（消去）時間	−	−	2	−	ms
t_{MER}	マクロイレース（消去）時間	−	−	8	−	ms
N_{FWE}	書き込み・イレースの耐久性	T_A = 25°C、ページ単位	100,000	−	−	回
t_{FRT}	保持時間	−	10	−	−	年

3.3.11 I/Oポートの特性

3.3.11.1 一般I/Oの特性

特に指定がない限り、表29のパラメータは表15に規定されている条件下で実施された試験から導出されたものです。 全てのI/OはCMOSおよびTTLと互換性があるように設計されています。

表29. I/Oの静的特性

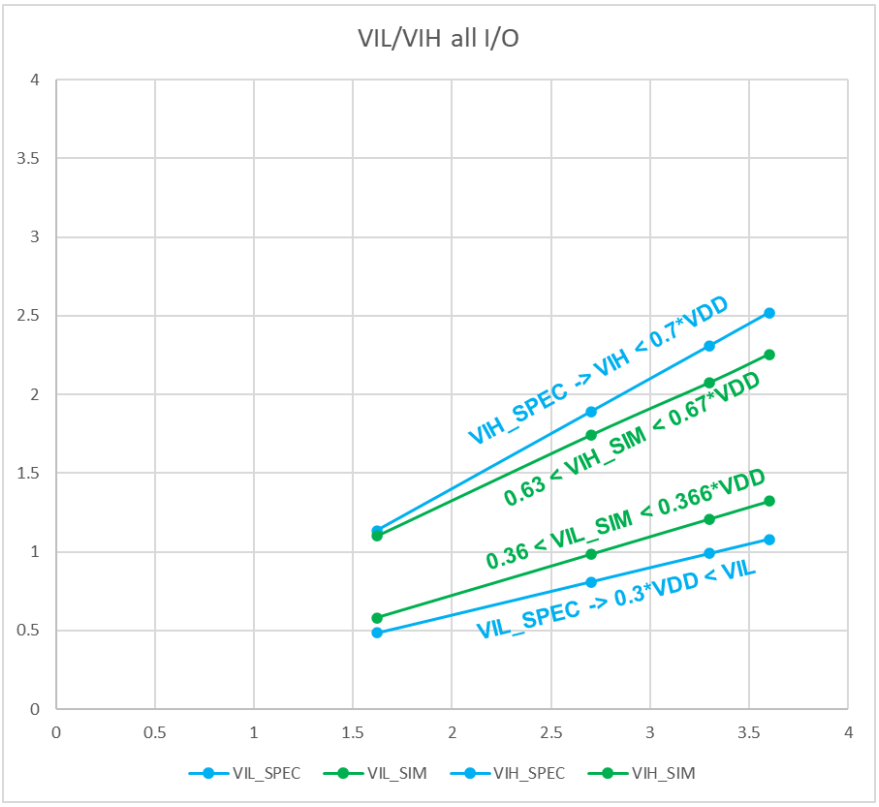
（温度：−40°C ～ +85°C）

記号	パラメータ	条件	Min.	Typ.	Max.	単位
V_{IL}[1][2]	I/O入力Lowレベル電圧	1.8 V ≤ V_{DD} ≤ 3.6 V	−	−	0.3 × V_{DD}	V
V_{IH}[1][2]	I/O入力Highレベル電圧	1.8 V ≤ V_{DD} ≤ 3.6 V	0.7 × V_{DD}	−	−	V
V_{HYS}[3]	入力ヒステリシス	1.8 V ≤ V_{DD} ≤ 3.6 V	−	0.25 × V_{DD}	−	mV
I_{leak}	入力リーク電流[3]	−	−	−	250	nA
R_{PU}	弱プルアップ等価抵抗	V_{IN} = GND	40	50	60	kΩ
R_{PU}	弱プルダウン等価抵抗	V_{IN} = V_{DD}	40	50	60	
C_{IO}	I/Oピン容量	I/Oピン容量	−	5	−	pF
F_{MAX}	最大周波数	C = 50 pF、 2.7 V ≤ V_{DD} ≤ 3.6 V	−	−	32	MHz
T_R/T_F	出力立ち上がりおよび立ち下がり時間	C = 50 pF、 2.7 V ≤ V_{DD} ≤ 3.6 V	−	10	−	ns

注:

1. 図17を参照してください。
2. 量産時の試験により保証されています。
3. 設計により保証されています。

図17. I/O入力の特性



注:

1. 横軸はVDD、縦軸はVIHLレベルです。

3.3.11.2 出力駆動電流

GPIOは通常、±3 mAおよび最大 ±8 mA（VOL・VOH条件）の電流をシンクまたはソースすることもできます。

アプリケーションにおいて電流を駆動できるI/Oピン数を設定する場合、そのピン数はセクション3.2に設定された絶対最大定格に適合するよう制限する必要があります。

- GNDにおける全てのI/Oのシンク電流の合計とマイクロコントローラのGNDにおける最大シンク電流消費の合計は、絶対最大定格 ΣIGNDを超えてはなりません。（表12参照）

3.3.11.3 出力電圧レベル

特に指定がない限り、表30のパラメータは表15に規定されている周囲温度および電源電圧条件下で実施された試験から導出されたものです。

表30. 出力電圧の特性

（温度：−40°C ～ +85°C）

記号	パラメータ	条件	Min.	Typ.	Max.	単位
V_{OH}	出力High電圧	通常GPIO、V_{DD} > 2.7 V I_{OH1} = −3 mA、I_{OH2} = −8 mA	0.8 × V_{DD}	–	–	V
		LCD PAD、V_{DD} > 2.7 V I_{OH1} = −3 mA、I_{OH2} = −5 mA	0.8 × V_{DD}	–	–	
V_{OL}	出力Low電圧	Normal GPIO、V_{DD} > 2.7 V I_{OL1} = 3 mA、I_{OL2} = 8 mA	–	–	0.2 × V_{DD}	
		LCD PAD、V_{DD} > 2.7 V I_{OL1} = 3 mA、I_{OL2} = 5 mA	–	–	0.2 × V_{DD}	

注:

1. 各ピンの駆動強度はPn_STRレジスタにより選択できます。

3.3.12 アナログ-デジタルコンバータ（ADC）の特性

表31. ADCの電気的特性

（温度：−40°C ～ +85°C）

パラメータ	記号	条件	Min.	Typ.	Max.	単位
アナログ電源電圧	AV_{DD} (1)	−	1.8	3.3	3.6	V
正基準（リファレンス）電圧	AREF+	−	1.8	−	AV_{DD}	V
基準（リファレンス）電圧	AREF−	−	−	AGND	−	V
AV_{DD}電流	I_{AVDD}	Typ @AV_{DD} = 3.3 V, 1 Msps	−	1	−	mA
AREF+電流	I_{AREF+}	Typ @AV_{DD} = 3.3 V, 1 Msps	−	0.4	−	mA
変換電圧範囲	V_{AIN}	−	0	−	AREF+	V
チャネル		−	−	24	−	ch
ADCクロック周波数	f_{ADC}	2.4 V ≤ AV_{DD} ≤ 3.6 V, AREF+ = AV_{DD}	0.48	−	16	MHz
		2.4 V ≤ AV_{DD} ≤ 3.6 V, 1.98 V ≤ AREF+ < AV_{DD}		−	8	
		1.8 V ≤ AV_{DD} ≤ 3.6 V, 1.8 V ≤ AREF+ < AV_{DD}		−	4	
総変換時間（サンプリング時間を含む）	t_{CONV}	f_{HCLK} = 32 MHz f_{ADC} = 16 MHz	0.93	−	17.31	μs
		−	15	−	277	$1/f_{ADC}$
総未調整誤差	TUE	シングルエンド	−	4.5	6.5	LSB
		差動	−	4.5	6	
オフセット誤差	EO	シングルエンド	−	2.5	3.5	
		差動	−	2.5	3.5	
ゲイン誤差	EG	シングルエンド	−	3	5	
		差動	−	3	4.5	
差分直線性誤差	ED	シングルエンド	−	1.5	2.0	
		差動	−	1.2	1.5	
積分直線性誤差	EL	シングルエンド	−	2.0	4	
		差動	-	1.5	3.5	

注:

1. AV_{DD}は例外なく常にV_{DD}と全く同じ電圧レベルで供給されなければならない。（AV_{DD} = V_{DD}）

3.3.12.1 PCB設計の一般的なガイドライン

電源は図7に示す方式に従って分離する必要があります。 V_{DD}とAV_{DD}間のデカップリングコンデンサはセラミック（高品質）コンデンサであり、チップのできるだけ近くに配置しなければなりません。

3.3.13 デジタル-アナログコンバータの特性

表32. DACの電気的特性

パラメータ	記号	条件	Min.	Typ.	Max.	単位
アナログ電源電圧	AV_{DD} (1)	-	1.8	-	3.6	V
正基準（リファレンス）電圧	AREF+	-	1.8	-	AV_{DD}	V
基準（リファレンス）電圧	AREF-	-	-	AGND	-	-
抵抗負荷	R_L	GNDに接続	5	-	-	kΩ
容量負荷	C_L	DAC出力バッファオン	-	-	50	pF
出力インピーダンス	R_O	DAC出力バッファオフ	13	16	-	kΩ
電源除去比	PSRR	DAC出力バッファオン（C_L = 50 pF、R_L = 5 kΩ）	-	-80	-28	dB
AV_{DD}電流	I_{AVDD}	DAC出力バッファオン（無負荷、ミッドスケールコード）	-	315	500	μA
		DAC出力バッファオフ（無負荷、ミッドスケールコード）	-	-	0.2	
AREF+電流	I_{AREF+}	DAC出力バッファオフ（無負荷、ミッドスケールコード）	-	155	205	μA
変換電圧範囲	V_{DAC_OUT}	DAC出力バッファオン	0.2	-	AREF+ - 0.2	V
		DAC出力バッファオフ	0	-	AREF+	
セトリング時間	$T_{setting}$	DAC出力バッファオン（C_L = 50 pF、R_L = 5 kΩ）	-	7	12	μs
		DAC出力バッファオフ（C_L = 10 pF）	-	1	2	
オフ状態からのウェイクアップ時間	T_{wakeup}	DAC出力バッファオン（C_L = 50 pF、R_L = 5 kΩ）	-	6	10	μs
		DAC出力バッファオフ（C_L = 10 pF）	-	2	5	
入力コードの微小変化（1-LSB）に対するDAC出力	$T_{W_to_W}$	-	1	-	-	μs
微分非直線性	DNL	DAC出力バッファオン（1.8V ≤ AV_{DD}=AREF+ < 2.5V）	-	-	±6	LSB
		DAC出力バッファオフ（1.8V ≤ AV_{DD}=AREF+ < 2.5V）	-	-	±6	
		DAC出力バッファオン（2.5V ≤ AV_{DD} ≤ 3.6V、AREF+=2V）	-	-	±3	
		DAC出力バッファオフ（2.5V ≤ AV_{DD} ≤ 3.6V、AREF+=2V）	-	-	±3	

表32. DACの電気的特性（続き）

パラメータ	記号	条件	Min.	Typ.	Max.	単位
積分非直線性	INL	DAC出力バッファオン（1.8V ≤ AV_{DD}=AREF+ < 2.5V）	–	–	±8	LSB
		DAC出力バッファオフ（1.8V ≤ AV_{DD}=AREF+ < 2.5V）	–	–	±8	
		DAC出力バッファオン（2.5V ≤ AV_{DD} ≤ 3.6V、AREF+=2V）	–	–	±4	
		DAC出力バッファオフ（2.5V ≤ AV_{DD} ≤3.6V、AREF+=2V）	–	–	±4	
キャリブレーション後の中間コード（0x800）におけるオフセット誤差	Offset	DAC出力バッファオン（AREF+=3.6V）	–	–	±5	LSB
		DAC出力バッファオン（AREF+=1.8V）	–	–	±7	
1コード（0x001）におけるオフセット誤差	Offset1	DAC出力バッファオフ	–	–	±5	LSB
ゲイン誤差	EGAIN	DAC出力バッファオン	–	–	±0.5	%
		DAC出力バッファオフ	–	–	±0.5	
総未調整誤差	TUE	DAC出力バッファオン	–	–	±30	LSB
		DAC出力バッファオフ	–	–	±12	
有効ビット数(2)	ENOB	DAC出力バッファオン（1.8V ≤ AV_{DD}=AREF+ < 2.5V、BW 500 kHz）	–	10	–	bits
		DAC出力バッファオフ（1.8 V ≤ AV_{DD}=AREF+ < 2.5V、BW 500 kHz）	–	10.5	–	
		DAC出力バッファオン（2.5V ≤ AV_{DD} ≤ 3.6V、AREF+=2V、BW 500 kHz）	–	10.5	–	
		DAC出力バッファオフ（2.5V ≤ AV_{DD} ≤ 3.6V、AREF+=2V、BW 500 kHz）	–	11	–	

注:

1. AV_{DD}は例外なく常にV_{DD}と全く同じ電圧レベルで供給されなければならない。（AV_{DD} = V_{DD}）
2. 設計により保証されています。

3.3.14 オペアンプ（OPAMP）の特性

表33. オペアンプ（OPAMP）の特性（通常モード）

パラメータ	記号	条件	Min.	Typ.	Max.	単位
アナログ電源電圧	AV_{DD}[1]	–	1.8	–	3.6	V
OPAMP消費電流	I_{OPAMP}	–	–	150	300	μA
コモンモード入力範囲	CMIR	–	0	–	AV_{DD}	V
入力オフセット電圧	V_{OFFSET}	–	–	–	0.5	mV
入力オフセット電圧ドリフト（変動）	ΔV_{OFFSET}	–	–	±1	–	μV/°C
入力オフセット電流	I_{IO}	–	–	10	–	pA
入力バイアス電流	I_{IB}	–	–	10	–	pA
出力電流負荷	I_{LOAD}	AV_{DD} > 2 V	–	–	500	μA
抵抗負荷	R_{LOAD}	AV_{DD} < 2 V	4	–	–	kΩ
容量負荷	C_{LOAD}	–	–	–	50	pF
同相（コモンモード）除去比	CMRR	C_{LOAD} = 50 pF、R_{LOAD} = 5 kΩ	–	85	–	dB
電源除去比	PSRR	C_{LOAD} = 50 pF、R_{LOAD} = 5 kΩ	–	85	–	dB
ゲイン帯域幅積	GBW	AV_{DD} ≥ 2.4 V	1800	3300	5800	kHz
スルーレート	SR	AV_{DD} ≥ 2.4 V	–	1300	–	V/ms
オープンループゲイン	AO	C_{LOAD} = 50 pF、R_{LOAD} = 5 kΩ	55	110	–	dB
高飽和電圧	$V_{OH(SAT)}$	C_{LOAD} = 50 pF、R_{LOAD} = 5 kΩ	AV_{DD} −100	–	–	mV
低飽和電圧	$V_{OL(SAT)}$	C_{LOAD} = 50 pF、R_{LOAD} = 5 kΩ	–	–	100	mV
位相余裕	PM	C_{LOAD} = 50 pF、R_{LOAD} = 5 kΩ	–	74	–	Degree
オフ状態からのウェイクアップ時間	T_{WAKEUP}	–	–	20	40	μs
入力バイアス電流	I_{BIAS}	–	–	–	15	nA
電圧雑音密度	V_{NOISE}	@ 1 kHz	–	200	–	nV/√Hz
		@ 10 kHz	–	200	–	

注:

1. AV_{DD}は例外なく常にV_{DD}と全く同じ電圧レベルで供給されなければならない。（AV_{DD} = V_{DD}）

表34. オペアンプ（OPAMP）の特性（低消費電力モード）

パラメータ	記号	条件	Min.	Typ.	Max.	単位
アナログ電源電圧	AV_{DD}(1)	–	1.8	–	3.6	V
OPAMP消費電流	I_{OPAMP}	–	–	90	180	μA
コモンモード入力範囲	CMIR	–	0	–	AV_{DD}	V
入力オフセット電圧	V_{OFFSET}	–	–	–	0.5	mV
入力オフセット電圧ドリフト（変動）	ΔV_{OFFSET}	–	–	±1	–	μV/°C
入力オフセット電流	I_{LOAD}	AV_{DD} > 2 V	–	–	100	μA
入力バイアス電流	R_{LOAD}	AV_{DD} < 2 V	20	–	–	kΩ
出力電流負荷	C_{LOAD}	–	–	–	50	pF
同相（コモンモード）除去比	CMRR	C_{LOAD} = 50 pF、R_{LOAD} = 5 kΩ	–	85	–	dB
電源除去比	PSRR	C_{LOAD} = 50 pF、R_{LOAD} = 5 kΩ	–	85	–	dB
ゲイン帯域幅積	GBW	AV_{DD} ≥ 2.4 V	1100	2000	4000	kHz
スルーレート	SR	AV_{DD} ≥ 2.4 V	–	800	–	V/ms
オープンループゲイン	AO	C_{LOAD} = 50 pF、R_{LOAD} = 5 kΩ	100	120	130	dB
高飽和電圧	$V_{OH(SAT)}$	C_{LOAD} = 50 pF、R_{LOAD} = 5 kΩ	AV_{DD} −100	–	–	mV
低飽和電圧	$V_{OL(SAT)}$	C_{LOAD} = 50 pF、R_{LOAD} = 5 kΩ	–	–	100	mV
位相余裕	PM	C_{LOAD} = 50 pF、R_{LOAD} = 5 kΩ	–	80	–	Degree
オフ状態からのウェイクアップ時間	T_{WAKEUP}	–	–	50	100	μs
入力バイアス電流	IBIAS	–	–	–	15	nA
電圧雑音密度	VNOISE	@ 1 kHz	–	200	–	nV/√Hz
		@ 10 kHz	–	200	–	

注:

1. AV_{DD}は例外なく常にV_{DD}と全く同じ電圧レベルで供給されなければならない。（AV_{DD} = V_{DD}）

3.3.15 通信インタフェースの特性

3.3.15.1 I2Cインタフェースの特性

I2CインタフェースはI2Cバス仕様で規定されているタイミング要件に加え、以下に示すユーザタイミング要件にも準拠します:

- 標準モード (Sm): 最大 100 kbpsのビットレート
- 高速モード (Fm): 最大 400 kbpsのビットレート

I2Cペリフェラルが正しく構成され、I2Cクロック周波数が表35に示されている最小値以上である場合、I2Cタイミング要件は設計により保証されます。

表35. I2Cの特性

(温度: −40°C ～ +85°C)

パラメータ	記号	標準		高速		単位
		Min.	Max.	Min.	Max.	
クロック周波数	t_{SCL}	0	100	0	400	kHz
クロック High パルス幅	t_{SCLH}	4.0	–	0.6	–	μs
クロック Low パルス幅	t_{SCLL}	4.7	–	1.3	–	
バスフリー時間	t_{BF}	4.7	–	1.3	–	
START コンディションのセットアップ時間	t_{STSU}	4.7	–	0.6	–	
START コンディションのホールド時間	t_{STHD}	4.0	–	0.6	–	
STOP コンディションのセットアップ時間	t_{SPSU}	4.0	–	0.6	–	
STOP コンディションのホールド時間	t_{SPHD}	4.0	–	0.6	–	
クロックからの出力有効	t_{VD}	0	–	0	–	
データ入力ホールド時間	t_{DIH}	0	–	0	1.0	
データ入力セットアップ時間	t_{DIS}	250	–	100	–	ns

3.3.15.2 SPIインタフェースの特性

特に指定がない限り、表36のパラメータは表15に規定されている周囲温度、f_{PCLK}周波数および電源電圧条件下で実施された試験から導出されたものです。

- 容量負荷C = 50 pF
- 測定ポイントはCMOSレベルで実行： $0.5 \times V_{DD}$

I/O兼用機能特性（SPI用のSS、SCK、MOSI、MISO）の詳細については、セクション3.3.11を参照してください。

表36. SPIの特性

（温度： −40°C ～ +85°C）

パラメータ	記号	条件	Min.	Typ.	Max.	単位
強度有効（オン）時のSPIクロック周波数	f_{SCK1}	SPI0、SPI1 $V_{DD} \le 1.8$ V	−	−	10	MHz
	f_{SCK2}	SPI0、SPI1 $V_{DD} \le 3.3$ V	−	−	10	MHz
強度無効（オフ）時のSPIクロック周波数	f_{SCK4}	SPI0、SPI1 $V_{DD} \le 1.8$ V	−	−	8	MHz
	f_{SCK5}	SPI0、SPI1 $V_{DD} \le 3.3$ V	−	−	10	MHz
SPIクロック（SCK）のデューティサイクル	Duty	スレーブモード	30	50	70	%
容量負荷	CCL	−	−	−	50(1)	pF

注：

1. 容量負荷が50 pFでVDDが1.8 V未満の場合、3 MHzが期待されます。

3.3.15.3 USBインタフェースの特性

表37. USBの特性

（温度：−40°C ～ +85°C）

パラメータ	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧(1)	AV_{DD}	−	3	3.3	3.6	V
差動入力感度	V_{DI}	−	0.2	−	−	
差動コモンモード電圧	V_{CM}	−	0.8	−	2.5	
Lowレベル入力電圧	V_{IL}	−	−	−	0.8	
Highレベル入力電圧	V_{IH}	−	2.0	−	−	
Lowレベル出力電圧	V_{OL}	RL = 1.5 kΩ ～ +3.6 V	−	−	0.3	
Highレベル出力電圧	V_{OH}	RL = 15 kΩ ～ GND	2.8	−	3.6	
パワーダウン電流	I_{PD}	@ SUSPEND、OEN='H'	−	−	10	μA
トランシーバ容量	CIN	ピン ～ GND	−	−	10	pF
DP・DNでのプルダウン抵抗	R_{PD}	内部抵抗の有効化	14.25	−	15.75	kΩ
DP・DNでのプルアップ抵抗	R_{PU}	内部抵抗の有効化	1.425	−	1.575	kΩ
ドライバ出力インピーダンス(1)	Z_{DRV}	HighまたはLow駆動時	28	−	44	Ω
入力インピーダンス	Z_{INP}	プルアップ・プルダウン除外	10	−	−	MΩ
アップストリームポートプルアップ用の終端電圧	V_{TERM}	−	3.0	−	3.6	V
出力信号クロスオーバー電圧	V_{CRS}	−	1.3	−	2.0	V

注:

1. DPおよびDNピンには外部終端用直列抵抗は不要であり、整合インピーダンスは内蔵ドライバに含まれています。
2. AV_{DD}は例外なく常にV_{DD}と全く同じ電圧レベルで供給されなければならない。（AV_{DD} = V_{DD}）

3.3.16 LCDドライバの特性

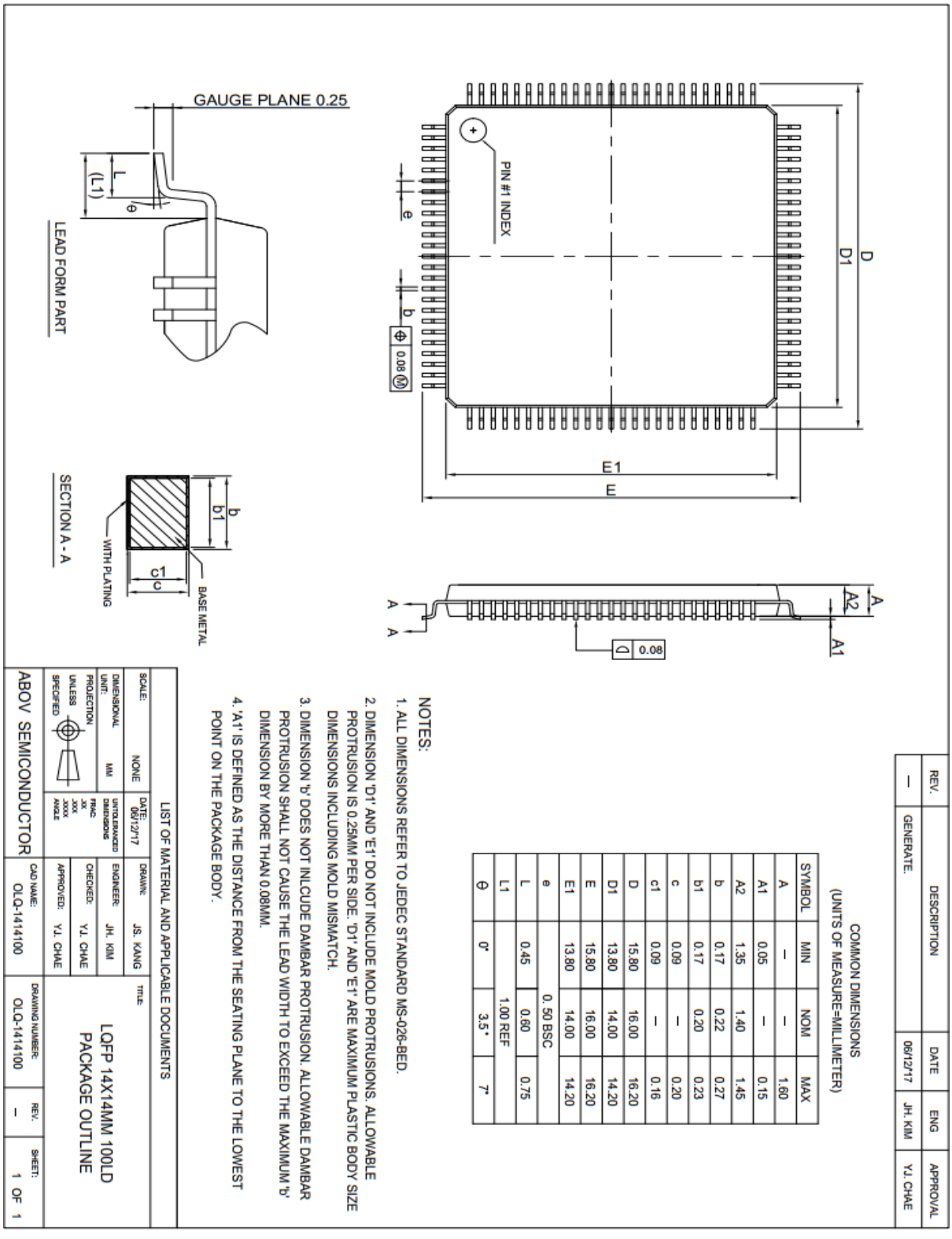
表38. LCDドライバの特性

パラメータ	記号	条件	Min.	Typ.	Max.	単位
LCD 電圧	VLC0	電圧ブースタ有効時、1/4 バイアス	Typ. × 93%	3.07	Typ. × 107%	V
				3.17		
				3.26		
				3.36		
				3.46		
				3.55		
				3.65		
				3.74		
VLCD 外部容量	C_{VLC_EXT}	–	0.1	–	2	μF
LCD ミッドバイアス電圧 (4 バイアス)	VLC0	電圧ブースタ有効時	–	$4 \times V_{DD}$	–	V
		抵抗モード	–	V_{DD}	–	
	VLC1	電圧ブースタ有効時	–	$3 \times V_{DD}$	–	
		抵抗モード	–	$0.75 \times V_{DD}$	–	
	VLC2	電圧ブースタ有効時	–	2 × VLC3	–	
		抵抗モード	–	$0.5 \times V_{DD}$	–	
	VLC3	電圧ブースタ有効時	–	VLC3	–	
		抵抗モード	–	$0.25 \times V_{DD}$	–	
LCD バイアス用分圧抵抗	R_{LCD1}	–	–	10	–	kΩ
	R_{LCD2}	–	–	50	–	
	R_{LCD3}	–	–	100	–	
動作電流	I_{LCD}	電圧ブースタ有効時	–	3	6	μA
パワーダウン電流	I_{LCD_PD}	–	–	3	200	nA

4. パッケージ情報

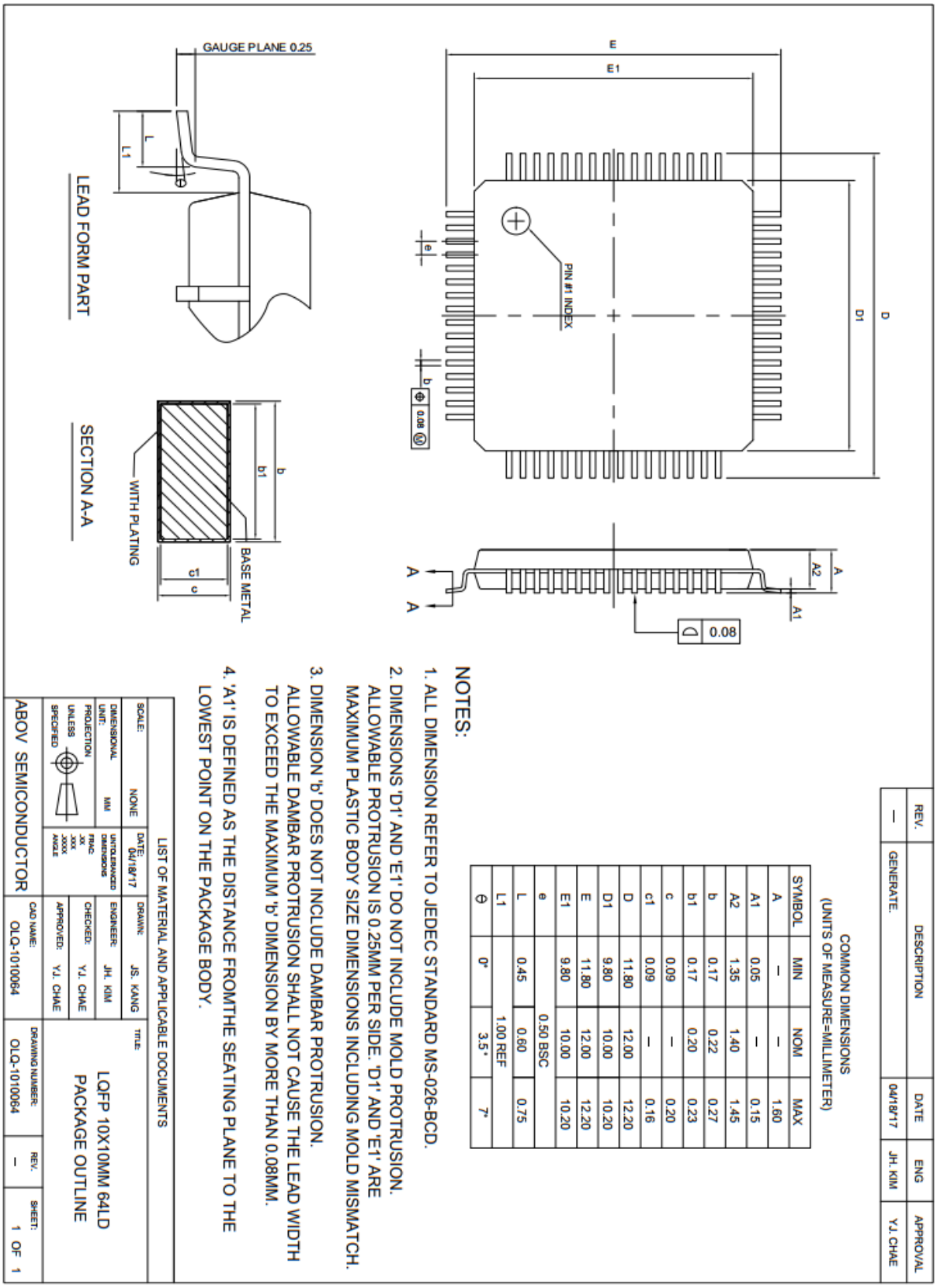
4.1 100-LQFPパッケージ情報

図18. パッケージ寸法 (100-LQFP)



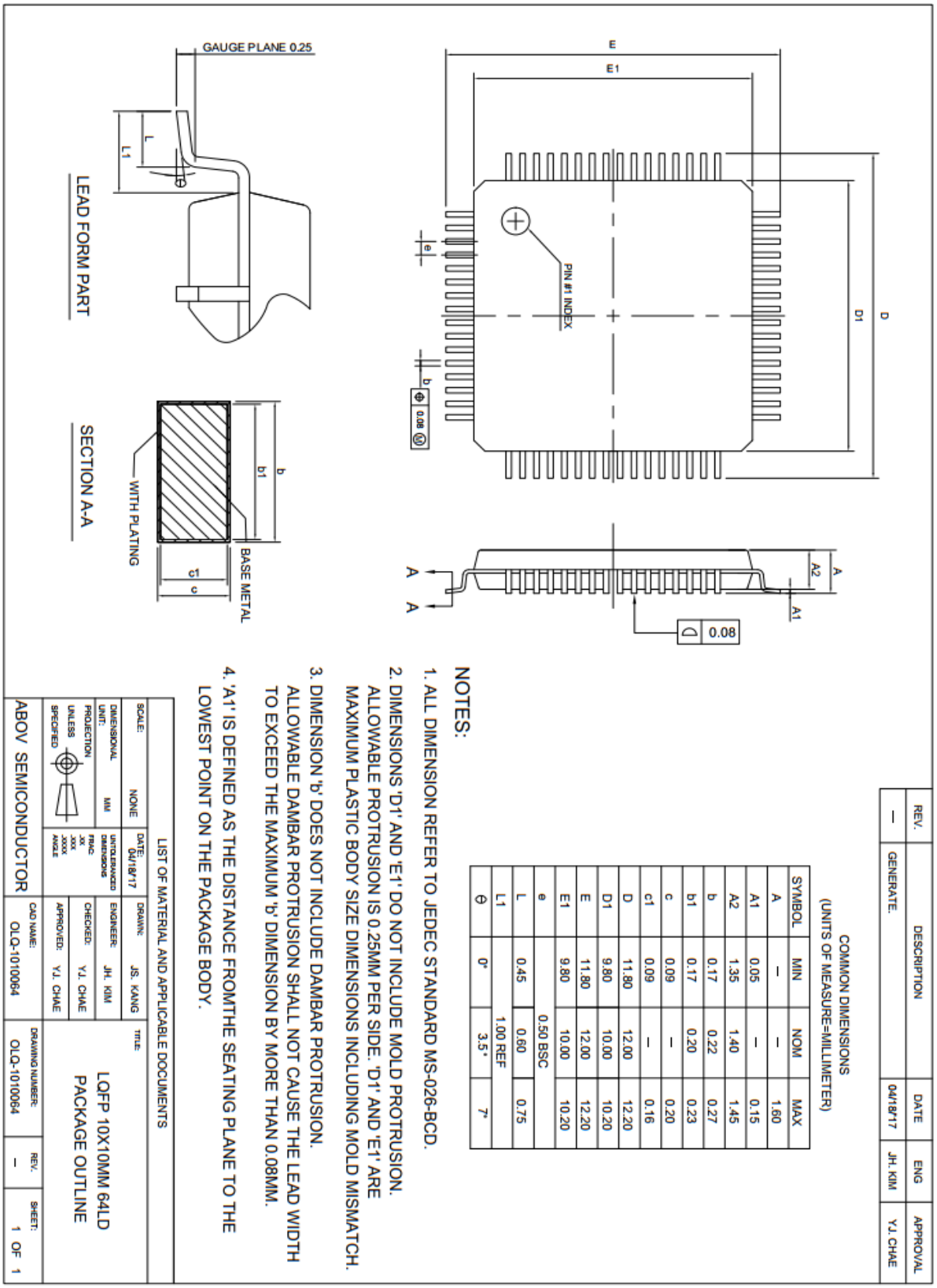
4.2 64-LQFPパッケージ情報

図19. パッケージ寸法 (64-LQFP)



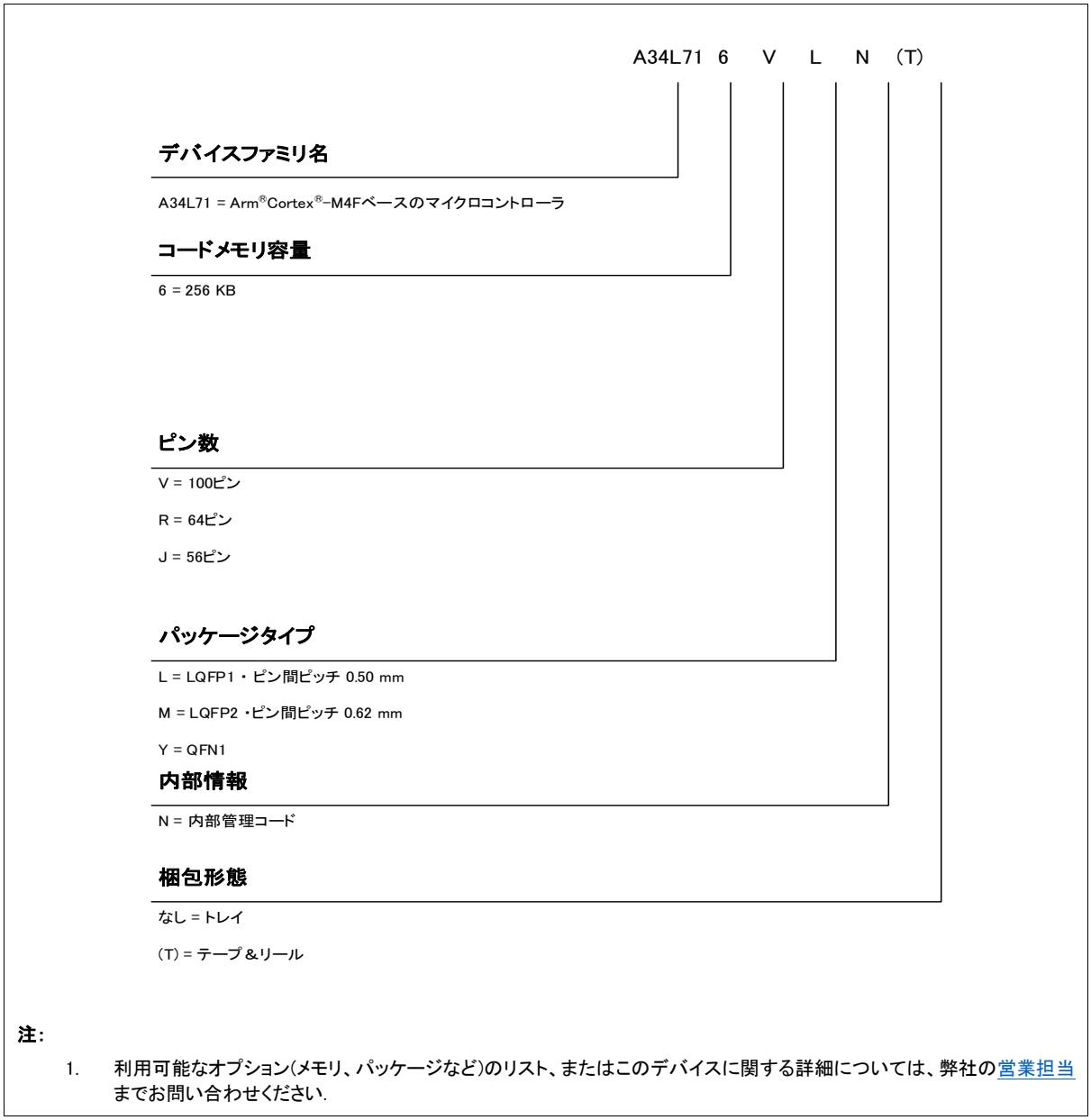
4.3 56-QFNパッケージ情報

図20. パッケージ寸法 (56-QFN)



5. 注文情報

図21. A34L716デバイスの命名規則



注:

1. 利用可能なオプション(メモリ、パッケージなど)のリスト、またはこのデバイスに関する詳細については、弊社の営業担当までお問い合わせください.

変更履歴

リビジョン	変更日	変更内容
1.00	2024/09/20	初版発行。（英語版）
1.01	2024/12/02	免責事項を更新。（英語版）
1.02	2025/02/11	HSI 仕様および表 24 を更新。（英語版）
1.03	2025/04/17	64-LQFP のピンマップを更新。 AV_{DD} 要件の記述を修正し、電圧制約を明確化。（英語版）
1.04	2025/11/20	PB5～PB10 における内部プルアップおよびポート駆動強度の非対応に関する注記を追加。（英語版）
1.04	2026/04/21	日本語版発行。

Korea

Regional Office, Seoul
R&D, Marketing & Sales
8th Fl., 330, Yeongdong-daero, Gangnam-gu, Seoul, 06177, Korea

Tel: +82-2-2193-2200
Fax: +82-2-508-6903
www.abovsemi.com

HQ, Ochang
R&D, QA, and Test Center
37, Gangni 1-gil, Ochang-eup, Cheongwon-gun, Chungcheongbuk-do, 28126, Korea

Tel: +82-43-219-5200
Fax: +82-43-217-3534
www.abovsemi.com

Domestic Sales
Tel: +82-2-2193-2206
Fax: +82-2-508-6903
Email: sales_kr@abov.co.kr

Global Sales
Tel: +82-2-2193-2281
Fax: +82-2-508-6903
Email: sales_gl@abov.co.kr

China Sales
Tel: +86-755-8287-2205
Fax: +86-755-8287-2204
Email: sales_cn@abov.co.kr

Japan Sales
Tel: +81-6-6225-7758
Email: sales_jp@abov.co.kr

ABOVの免責事項
重要なお知らせ - 以下の内容を注意してお読みください。

ABOV半導体（ABOV）は予告なしにいつでもABOVの製品または本書に変更、修正、拡張、変更、改善を行う権利を留保します。 **ABOVはここに含まれる情報の正確性と完全性を保証しません。** 購入者は注文する前にABOV製品の最新の関連情報を入手する必要があります。 使用者はABOV製品の選択および使用について全責任を負い、ABOVはアプリケーションのサポートや使用者の製品の設計について一切の責任を負いません。 明示的か黙示的かにかかわらず**ABOVはいかなる知的財産権に対してもライセンスを付与しません。** **ABOVは明示的および黙示的を問わず全ての保証を否認し、そのような不正な用途でのABOV製品の使用による怪我や損害については一切責任を負いません。** ABOVおよびABOVロゴはABOVの登録商標です。 詳細についてはhttps://www.abov.co.kr/jpn/about/corporate_identity.phpを参照してください。 他の全ての製品名またはサービス名はそれぞれの所有者にその権利があります。 この文書の情報は前に発行されたどのバージョンより優先されるし、製品の技術的な変化に合わせてその情報が置き換えられます。

© 2024-2026 ABOV半導体-無断複写・転載を禁じます。